



Universitatea
Transilvania
din Braşov

ŞCOALA DOCTORALĂ INTERDISCIPLINARĂ

Facultatea: Inginerie Electrică și Știința Calculatoarelor

Ing. Ștefan POPA

Circuitul integrat ROC pentru experimentul ATLAS de la LHC

The Read Out Controller ASIC for the ATLAS Experiment at LHC

REZUMAT / SUMMARY

Conducător științific

Prof.dr.ing. Mihai IVANOVICI

BRAȘOV, 2021



D-lui (D-nei)

COMPONENȚA

Comisiei de doctorat

Numită prin ordinul Rectorului Universității Transilvania din Braşov

Nr. din

PREȘEDINTE: Conf. dr. ing. Carmen GERIGAN

CONDUCĂTOR ȘTIINȚIFIC: Prof. dr. ing. Mihai IVANOVICI

REFERENȚI: Senior research fellow Lorne LEVINSON

Prof. dr. ing. Gheorghe ȘTEFAN

Prof. dr. ing. Liviu GORAȘ

Data, ora și locul susținerii publice a tezei de doctorat: 27 septembrie 2021, ora 10:00, sala NII1, Corp N, Strada Politehnicii 1, Braşov.

Eventualele aprecieri sau observații asupra conținutului lucrării vor fi transmise electronic, în timp util, pe adresa *stefan.popa@unitbv.ro*.

Totodată, vă invităm să luați parte la ședința publică de susținere a tezei de doctorat.

Vă mulțumim.

Circuitul integrat ROC pentru experimentul
ATLAS de la LHC

Rezumatul tezei de doctorat

Universitatea Transilvania din Braşov, România

Candidat: Ştefan Popa
Conducător: Prof. Mihai Ivanovici

2021

Către _____

ȘTEFAN POPA

vă invită la

SUSTINEREA PUBLICĂ a TEZEI *sale* DE DOCTORAT,
cu titlul

*“Circuitul integrat ROC pentru Experimentul ATLAS
de la LHC”,*

în ziua de 27 septembrie 2021 la ora 10:00 AM,
la Universitatea Transilvania din Brașov, sala NII1,
strada Politehnicii, nr. 1, Brașov.

COMISIA DE EXAMINARE:

Președinte: Conf. dr. ing. Carmen GERIGAN

Conducător: Prof. dr. ing. Mihai IVANOVICI

Membru: Senior research fellow Lorne LEVINSON

Membru: Prof. dr. ing. Gheorghe ȘTEFAN

Membru: Prof. dr. ing. Liviu GORAȘ

Abstract

The ATLAS Experiment at LHC is used for fundamental research in particle physics. For its HL-LHC TDAQ system upgrade, new ASICs were developed. The Read-Out Controller (ROC) is such an on-detector radiation-tolerant ASIC that acts as a concentrator, buffer, filter and real-time data packet processor for the new end-cap muon detectors. The thesis presents its elaboration, implementation, quality assurance and control with emphasis on real-world experimental results. The IC is implemented in a 130 nm CMOS technology, resulted in a square die of 22.5 mm^2 with 232 pads and is packaged as 16×16 BGA. The design and its performance model were validated using custom analog and digital functional FPGA-based test setups. The digital test setup emulates the asynchronous chip context, employs optimizations and automatic clock and data synchronization and is used for mass-testing. The ROC's operation was tested while controlled ultrafast neutron beams were incident to its die. Its tolerance to the induced SEUs was evaluated and predictions for the operating environment were made. A proposed implementation of an FPGA Integrated Logic Analyzer that mitigates the observed limitations and constraints of the existing ones is included. The ROC design passed reviews within the ATLAS Collaboration and is included in the TDAQ system.

Rezumat

Experimentul ATLAS de la LHC este utilizat pentru cercetare fundamentală în fizica particulelor. Pentru modernizarea HL-LHC a sistemului său TDAQ, noi ASIC-uri au fost dezvoltate. Circuitul Read-Out Controller (ROC) este un astfel de ASIC tolerant la radiație cu rolul de concentrator, amortizor, filtru și procesor în timp real de pachete de date de la noile detectoare de miuoni. Această teză prezintă elaborarea, implementarea, asigurarea și controlul calității sale cu accent pe rezultate experimentale din lumea reală. Circuitul integrat este implementat într-o tehnologie CMOS de 130 nm, a rezultat într-o pastilă de siliciu pătrată de 22.5 mm^2 cu 232 de pini și este încapsulat ca BGA 16×16 . Implementarea și modelul de performanță au fost validate utilizând sisteme de testare funcțională analogică și digitală personalizate și bazate pe FPGA. Sistemul de testare digitală emulează contextul asincron al cipului, conține optimizări și metode de sincronizare automată a semnalelor de date și ceas și este utilizat la testarea în masă. Funcționarea ROC-ului a fost testată sub incidența unor fascicule controlate de neutroni ultra-rapizi. Toleranța sa la efectele imediate de tip SEU ale radiației nucleare au fost evaluate și estimări pentru mediul de operare au fost realizate. O propunere de implementare pentru un Integrated Logic Analyzer pentru FPGA-uri care estompează limitările și constrângerile celor existente este inclusă. Circuitul ROC a trecut cu succes evaluările din comunitatea ATLAS și este inclus în sistemul TDAQ al experimentului.

Cuprins

1	Introducere	6
1.1	Contextul NSW-ATLAS-LHC-CERN	6
1.2	Obiective	10
2	Read-Out Controller (ROC)	11
2.1	Context și arhitectură	11
2.2	Implementare fizică și încapsulare	14
2.3	Modelul de echilibru	15
3	Testarea ROC-ului	17
3.1	Mediul de testare digitală	18
3.2	Rezultate experimentale	22
4	Imunitatea la efectele radiației nucleare	23
4.1	Mediul de testare	25
4.2	Rezultatele testelor de iradiere	26
5	O aplicație	28
6	Concluzii	32
	Referințe	37

Contents

1	Introduction	6
1.1	The NSW-ATLAS-LHC-CERN context	6
1.2	Objectives	10
2	The Read-Out Controller (ROC)	11
2.1	ROC's context and architecture	11
2.2	ROC's layout and package	14
2.3	ROC's steady-state model	15
3	ROC Testing	17
3.1	The Quality-Control Digital ROC Test	18
3.2	Experimental testing results	22
4	Immunity to radiation-induced faults	23
4.1	Test setup	25
4.2	Irradiation tests results	26
5	An application	28
6	Conclusions	32
	References	36

1 Introducere

Munca prezentată în acest rezumat are legătură cu Experimentul ATLAS (A Toroidal LHC Apparatus) [1] de la acceleratorul de particule Large Hadron Collider (LHC) [2], administrat de Organizația Europeană pentru Cercetare Nucleară (CERN) care este situată lângă Geneva, Elveția. CERN-ul are în repertoriul său multe realizări științifice importante, cum ar fi descoperirea bosonului Higgs [3], producerea și menținerea de atomi de antihidrogen [4] și nașterea sistemul informațional World Wide Web (WWW) [5]. În această secțiune de introducere, contextul tezei este explicat și obiectivele sale sunt prezentate.

1.1 Contextul NSW-ATLAS-LHC-CERN

Fizica particulelor este o ramură a fizicii care studiază structurile materiei și ale radiației și interacțiunile lor [6]. Noțiunea de particulă elementară denotă particulele subatomice fără substructuri [6]. Modelul Standard (Standard Model - SM) al fizicii particulelor este teoria care clasifică toate particulele elementare cunoscute și descrie trei din cele patru forțe fundamentale cunoscute [7], [6]. Pentru a valida presupunerile teoretice din fizica particulelor și SM, acceleratoare de particule [8] au fost construite și utilizate începând din anii 1930 [9]. Un accelerator de particule este un sistem care formează și transferă energie în fascicule de particule bine definite utilizând câmpuri electromagnetice. Câmpurile electrice asigură accelerația în timp ce câmpurile magnetice concentrează și direcționează fasciculele. Astfel, particulele din fascicul ating viteze foarte mari și sunt concentrate cât se poate de mult. Ținta fasciculelor este un material sau alt fascicul de particule accelerate din direcție opusă. Pe lângă cercetare fundamentală, acceleratoarele de particule au și alte utilizări: e.g. terapia cu particule (tratamentul cancerului), sterilizarea prin iradiere a dispozitivelor medicale, implantarea de ioni (fabricarea de dispozitive semiconductoare), fizica nucleară (producerea de izotopi), etc.

Performanța unui accelerator de particule este determinată de două metrici: energia transferată în fasciculul de particule și luminozitatea [10]. Prima se referă la energia cinetică a fiecărei particule din fascicul câștigată în accelerator și se măsoară în eV (i.e. electronvolt; $1 \text{ eV} = 1.602176634 \times 10^{-19} \text{ J}$). Cu cât energia este mai ridicată, cu atât probabilitățile de a genera o particulă cu o masă mai mare și de a ajunge mai adânc în structura materiei sunt mai ridicate [7]. Luminozitatea este o metrică de performanță definită ca raportul dintre numărul de interacțiuni ale particulelor produse într-un timp dat și secțiunea transversală (σ) a interacțiunii [10]. În fizică, σ reprezintă probabilitatea ca un eveniment specific va avea loc când un fenomen radiant intersectează un obiect localizat sau o variație de densitate. Are aceeași unitate de măsură ca aria unei suprafețe deoarece reprezintă dimensiunea transversală a obiectului țintă pe care fenomenul radiant trebuie să o lovească pentru ca procesul să aibă loc. Așadar, unitatea de măsură pentru luminozitate este $\text{cm}^{-2}\cdot\text{s}^{-1}$. Pentru că luminozitatea poate varia în timp, metrica finală care reflectă numărul de evenimente observate și implicit cantitatea de date produsă este luminozitatea

integrată. Aceasta reprezintă cantitatea totală de date obținute în perioada de funcționare a unui experiment. Ca referință, LHC a atins o luminositate instantanee de vârf de $L = 2 \times 10^{34} \text{ cm}^{-2} \cdot \text{s}^{-1}$ în coliziunile de protoni din 2018 și a acumulat 160 fb^{-1} (i.e. femtobarn, $1 \text{ fb} = 10^{-43} \text{ m}^2$) de date despre acestea între 2015 și 2018 [11].

LHC este cel mai mare și mai puternic (i.e. energie) sincrotron din lume [2]. Un sincrotron este un accelerator de particule electrodinamic (i.e. care utilizează câmpuri electromagnetice variabile) în care fasciculul de particule urmează o traiectorie buclă închisă și intensitatea câmpului magnetic care îndoaie fasciculul este sincronă cu energia acestuia. LHC este situat într-un tunel subteran, la 170 m sub nivelul pământului și are o circumferință de 27 km [2], la granița dintre Elveția și Franța, lângă Geneva. În accelerator, fascicule de protoni (i.e. p^+) sau ioni grei călătoresc în direcții opuse. Fasciculele de p^+ sunt organizate în 2808 mănunchiuri distribuite de-a lungul circumferinței la intervale de approx. 7.5 m, fiecare conținând cam 1.15×10^{11} particule [2] [12]. Energia atinge 7 TeV per proton (aceștia sunt accelerați până la 99,9999991 % din viteza luminii în vid). Așadar mănunchiurile sunt distanțate la approx. 25 ns și rata lor de intersectare (i.e. Bunch Crossing - BC) este 40 MHz. Din motive practice, în șirul lor sunt lacune și în medie 3×10^7 intersectări au loc într-o secundă [13] [12]. Până la 40 de coliziuni sunt produse la fiecare intersectare a mănunchiurilor [13]. Rezultă 10^9 coliziuni în fiecare secundă [14] [13] dintre care câteva sute sunt de interes. Mănunchiurile călătoresc în acest mod în tunel între 10 și 24 de ore [13]. Ulterior noi fascicule sunt formate și accelerate.

Fasciculele se intersectează în patru puncte de coliziune unde sunt instalați detectori ce oferă semnalele necesare pentru determinarea traiectoriei, energiei și sarcinii electrice pentru particulele rezultate. Cele patru experimente sunt: ALICE (A Large Ion Collider Experiment) [15], ATLAS [1], CMS (Compact Muon Solenoid) [16] și LHCb (LHC beauty) [17]. ATLAS și CMS sunt experimente de uz general și au luminositate ridicată, în timp ce ALICE and LHCb sunt dedicate fizicii ionilor grei, respectiv a quark-ului bottom.

Detectorul ATLAS, reprezentat în Figura 1, are o formă de cilindru în jurul punctului de interacțiune astfel încât fasciculele de particule sunt perpendiculare pe baze în centrele lor. Înălțimea (i.e. diametrul bazei) este de 25 m iar lungimea (i.e. înălțimea cilindrului) este de 44 m. Poate să caracterizeze orice particule rezultate din coliziunea fasciculelor (i.e. să determine masa, impulsul, timpul de viață, sarcina electrică, spin-ul și energia). Așadar conține diferite tipuri de detectori, organizați în straturi de formă cilindrică, numite secțiuni "butoi" (*barrel*). Ansambele de detectori cu formă de disc ce sunt paralele cu bazele cilindrului și închid secțiunile *butoi* sunt denumite "capace-terminale" (*end-cap*). Detectorul nu are puncte oarbe, fiind ermetic.

Principalii constituenți ai detectorului ATLAS sunt Detectorul Interior (Inner Detector - IDET), calorimetrele, Spectrometrul Mionic (Muon Spectrometer - MS) și sistemul de magneți. Toate aceste sub-sisteme sunt împărțite în multiple straturi și sunt complementare: IDET determină traiectoria în timp ce calorimetrele măsoară energia particulelor care sunt oprite. Miunii care sunt foarte penetranți sunt măsurați de MS (i.e. traiectorie și energie). Sistemul

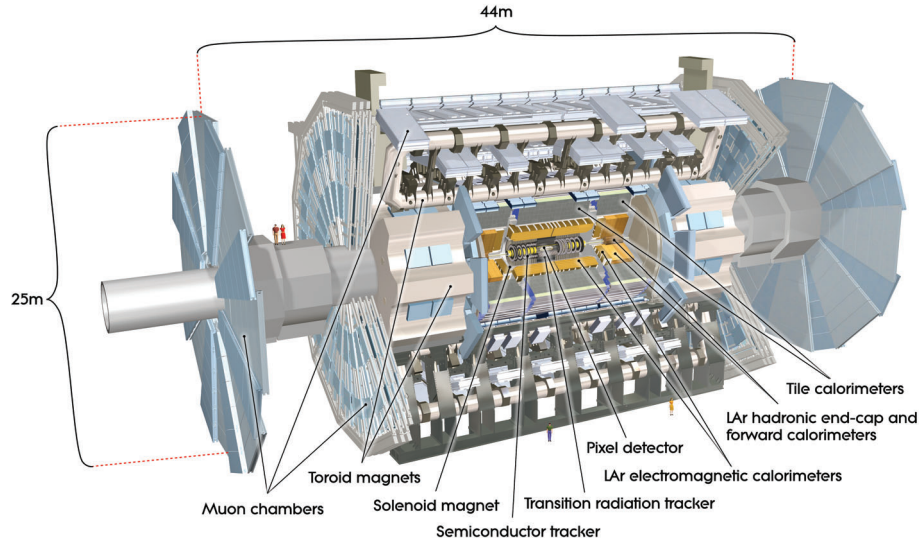


Figura 1: Detectorul ATLAS [18].

de magneți curbează traiectoriile particulelor rezultate cu sarcină electrică astfel încât impulsul acestora poate fi determinat.

Considerând rata de intersectare de 40 MHz și cele approx. 100 milioane de canale de citire ale detectorului ATLAS, rezultă o debit de date de ordinul PB/s [19]. Deoarece această cantitate este în prezent imposibil de transmis, procesat și stocat, sistemul de declanșare și achiziție de date (Trigger and Data Acquisition - TDAQ) al ATLAS interpretează semnalele de la detectori și determină în timp-real regiunile de interes ale fiecărei ciocniri. Filtre de evenimente reduc debitul datelor și mai mult deoarece doar câteva dintre coliziuni sunt de interes. Pe baza acestor decizii, sistemul TDAQ ATLAS convertește semnalele detectorilor într-un set de date, rezultând o rată de aprox. 1 GB/s [14].

Actualul proces de actualizare și întreținere ale LHC vizează implementarea primului pas (faza I - Phase-I) al proiectului High Luminosity LHC (HL-LHC - LHC cu Luminosități Ridicată) [20]. Obiectivul principal al HL-LHC este acumularea unei luminozități integrate de cel puțin 3000 fb^{-1} pe parcursul a 10 ani de funcționare. Modificările detectorului ATLAS corespunzătoare HL-LHC sunt prezentate în [21]. Actualizările Phase-I sunt programate să se finalizeze la sfârșitul lui 2022, fiind urmate de o perioadă operațională numită Run 3. După aceasta, actualizările Phase-II vor fi implementate iar HL-LHC va funcționa începând cu 2027. Creșterea luminozității înseamnă că detectoarele și dispozitivele electronice asociate vor fi supuse unei cantități de radiație nucleară crescută. De asemenea, trebuie să facă față ratelor mai mari de coliziune. Astfel, tehnologia detectorilor, sistemele TDAQ și instrumentele software de control și monitorizare trebuie optimizate și adaptate. În cadrul ATLAS, cele

mai multe modificări vor fi implementate pentru IDET, capacele terminale ale calorimetrelor și MS. În Phase-I, în ATLAS MS, capacele terminale interioare numite "Roți Mici" (*Small Wheels*) vor fi înlocuite cu "Noile Roți Mici" (*New Small Wheel - NSW*) [22] care conțin aprox. $2,45 \times 10^6$ noi detectoare de tip Micro-Megas (MM) și small-strip Thin Gap Chamber (sTGC) și electronică nouă. Primul element de filtrare este declanșatorul (trigger-ul) hardware Level-1 (L1) în timp ce al doilea element de filtrare va fi Declanșatorul de Nivel Înalt (High-Level Trigger - HLT) ce este implementat software. Chiar dacă ambele noi tipuri de detectoare de miuoni contribuie la formarea candidaților pentru trigger și la măsurarea cu precizie, detectorii MM sunt utilizați în principal pentru reconstrucția traiectoriei datorită rezoluției spațiale ridicate (până la $100 \mu\text{m}$) [23] în timp ce detectorii sTGC sunt dedicați pentru determinarea candidaților pentru trigger datorită capacității lor de a identifica o singură coliziune [22]. În Phase-II, trigger-ul L1 va deveni Level-0 (L0) și un nou L1, tot implementat hardware, va realiza o selecție mai complexă.

Ritmul sistemului ATLAS TDAQ este dictat de un semnal de ceas de 40 MHz sincron cu ciocnirile fasciculelor numit ceas BC sau LHC. Ciocnirile sunt etichetate cu o valoare BCID (BC IDentification - numărul mănunchiului în cadrul unei orbite a LHC) și o valoare contor de orbite numită OrbitID (Orbit IDentity). Procesorul de Trigger Central al ATLAS determină regiunile de interes din cadrul ciocnirilor de interes pe baza datelor de la detectori alimentate prin electronică, procesoare de trigger și linii de transmisiune dedicate. Prin sistemul de sincronizare și control (Time Trigger and Control - TTC) semnalul de ceas LHC este distribuit, valorile BCID și OrbitID din toate sistemele sunt sincronizate și ciocnirile selectate sunt furnizate regiunilor de interes. Sistemul de citire este responsabil pentru gestionarea datelor de precizie de la detectori și construirea, stocarea temporară și transmiterea fragmentelor de eveniment pe baza deciziilor de trigger. Intervalul de timp dintre coliziunea selectată și sosirea comenzii de trigger corespunzătoare acesteia se numește latența trigger-ului.

Schema bloc a electronicii asociate NSW este ilustrată în Figura 2. Principala circuit integrat cu aplicație specifică (Application Specific Integrated Circuit - ASIC) tolerant la radiație utilizat pentru citirea și interpretarea semnalelor de la ambele tipuri de detectori de miuoni este *VMM*¹, acesta reprezentând un Amplificator-Formator-Selector (Amplifier Shaper Discriminator - ASD). Un circuit *VMM3* (i.e. a treia versiune) conține 64 de canale distincte de citire a detectorilor, care oferă măsurători precise de amplitudine de vârf și durată-puls prin amplificare de sarcină electrică, condiționare și selecție semnal și conversie analogic-digital. Logica de citire a circuitului *VMM3* stochează temporar (*buffers*), agreghează și selectează datele din canalele sale pe baza comenzilor de selecție L0 primite și transmite evenimentele L0 către ASIC-ul ROC. Pe calea de trigger, *VMM3* poate oferi măsurători mai rapide dar mai brute pentru semnalele detectorilor. Un circuit ROC colectează și stochează temporar evenimentele L0 de la maximum opt circuite *VMM3* (adică date de la maximum 512 detectori NSW), implementează selecția L1 dacă este utilizată și formează eve-

¹nu este un acronim.

1.2 Obiective

nimente mai complexe cu datele combinate. Astfel, reduce numărul de legături de date necesare pe calea de citire. Deoarece este extrem de configurabil, permite optimizarea utilizării lății de bandă. *Toate contribuțiile acestei teze sunt legate de ROC, prin urmare acest circuit este descris pe larg. Vor fi instalate și utilizate simultan cel puțin 4875 cipuri ROC în cadrul sistemului NSW TDAQ.*

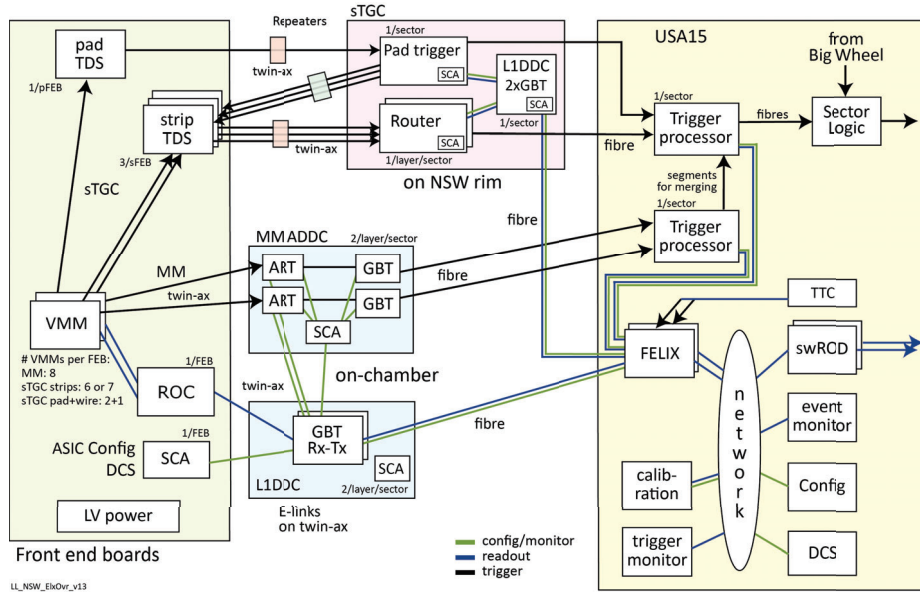


Figura 2: Prezentarea generală a sistemului NSW TDAQ [24].

Calea de citire pentru MM și sTGC constă din următoarele componente: VMM [25], ROC [26], Level-1 Data Driver Card (L1DDC) [27] [28] GigaBit Transceiver (GBTx) [29] [30] și Front End Link eXchange (FELIX) [31]. Schema de trigger pentru MM constă din: VMM, Address in Real-Time (ART) [32], ART Data Driver Card (ADDC) [33] [34] GBTx, MM Trigger Processor, FELIX și sTGC Trigger Processor. Calea de trigger pentru sTGC constă din VMM, pad Trigger Data Serializer (TDS) [35], placa Pad Trigger Extractor (i.e. Pad trigger din Figura 2), strip TDS, Router board, sTGC Trigger Processor și FELIX.

1.2 Obiective

Această teză de doctorat reprezintă culminarea muncii autorului în contextul CERN-LHC-ATLAS-NSW. Obiectivele au fost: (i) proiectarea și asigurarea calității pentru logica ROC-ului; (ii) implementarea corectă a acesteia în tehnologie Complementary Metal Oxide Semiconductor (CMOS) de 130 nm (Global Foundries, anterior IBM); (iii) validarea funcțională a cipului fabricat; (iv) măsurători de performanță pentru cipul fabricat; (v) controlul calității pentru ROC-urile fabricate în masă; (vi) evaluarea funcționării circuitului în flux controlat de radiație nucleară; (vii) suport pentru integrarea circuitului; (viii)

identificarea și urmărirea de noi oportunități de cercetare conexe; (ix) diseminarea rezultatelor și (x) participarea la cursuri, seminarii, ateliere și școli de vară și de iarnă relevante.

2 Read-Out Controller (ROC)

Circuitul integrat ROC reprezintă un procesor de pachete de date specific, în timp-real, din apropierea detectorilor, care este o parte cheie a sistemului NSW TDAQ, pe calea de citire. Cerințele de latență pentru triggerele hardware pot fi relaxate datorită spațiilor sale tampon (i.e. buffer) relativ mari, comparativ cu alte ASIC-uri din context. Acest lucru, coroborat cu mecanismele implementate de control al debitului și congestiei, minimizează pierderea de date. Fiind un concentrator configurabil, ROC-ul poate fi utilizat pentru a agrega date de pe mai multe canale de achiziție cu debite diferite de date. Astfel, utilizarea lățimii de bandă poate fi optimizată, deoarece nu toate regiunile din NSW vor produce aceeași cantitate de date. Deoarece două niveluri de trigger hardware vor fi utilizate în cadrul sistemului ATLAS TDAQ, ROC-ul va fi responsabil pentru al doilea nivel de selectare a evenimentelor pentru NSW.

2.1 Context și arhitectură

Contextul ROC-ului din cadrul sistemului NSW TDAQ este descris în Figura 3. Este inclusă o vedere de ansamblu a arhitecturii sale. Logica sa este împărțită în două părți distincte cu scopuri diferite: partea *analogică* (cu fundal roșu deschis) care este responsabilă pentru furnizarea semnalelor de ceas interne și externe și pentru redirecționarea comenzilor decodificate TTC și logica de procesare a pachetelor (cu fundal galben deschis) care este denumită partea *digitală*.

ROC-ul primește date codificate 8b10b [36] reprezentând pachete L0 de la max. opt ASIC-uri VMM3 pe canale de intrare separate numite canale sau module VMM Capture. Datele de la un VMM3 sunt DDR (Double Data Rate), serializate pe două linii de transmisie SLVS (Scalable Low-Voltage Signaling) [37] folosind un semnal de ceas Read-Out (RO) de 160 MHz. Biții sunt alternativ trimiși pe cele două linii. Interfața electrică utilizată se numește e-link, este întărită contra radiației nucleare și poate face față unor rate de date de până la 320 Mbps (i.e. 320×10^6 bps) [38]. Astfel, lățimea de bandă totală codificată rezultată este de 640 Mbps pentru fiecare canal. Canalele VMM Capture deserializează datele primite, determină alinierea acestora, le decodifică, determină corectitudinea și scrie pachetele L0 în cozi tampon - First-In-First-Out (FIFO).

Pachetele de intrare ale ROC-ului care conțin date din canalele VMM3 se numesc pachete *hit* L0 în timp ce cele fără sunt numite evenimente nule L0. Ambele tipuri încep cu un cuvânt antet de 16 biți care reprezintă informațiile trigger-ului L0 care a cauzat formarea și transmiterea pachetului. Un eveniment nul L0 conține doar cuvântul antet, în timp ce într-un pachet hit L0, antetul este urmat de cel puțin un cuvânt *hit* de 32 de biți. Deoarece un cip VMM3 este responsabil pentru cel mult 64 de detectori și fiecare cuvânt hit corespunde unui

2.1 Context și arhitectură

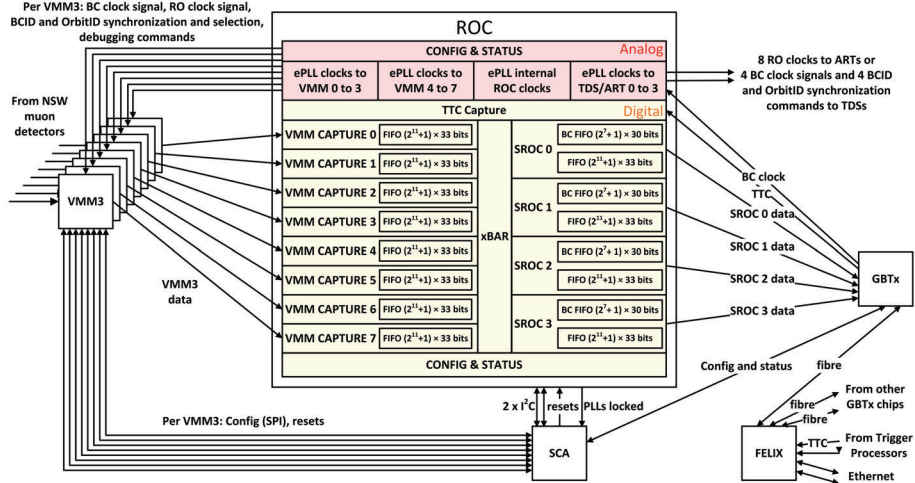


Figura 3: Contextul ROC-ului din cadrul sistemului NSW TDAQ, interfețele sale principale și arhitectura sa de ansamblu.

canal, numărul maxim de cuvinte hit dintr-un pachet L0 este 64. Câmpurile de date ale cuvântului hit reprezintă măsurători de semnal și biți de status. Formatul necodificat de stocare în cozi al cuvintelor pachetului de intrare este detaliat în Figura 4. Ambele tipuri de cuvinte ocupă câte o adresă în VMM Capture FIFO. Cel mai semnificativ bit (Most Significant Bit - MSB) semnalizează sfârșitul pachetului (End Of Packet - EOP) și este adăugat de logica de recepție. Pachetele VMM3 sunt separate de cel puțin două simboluri speciale 8b10b *K.28.5* numite *virgule*. Când date nu sunt disponibile, fluxul constă din virgule. Acestea sunt utilizate de receptor pentru a determina poziția simbolurilor 8b10b în fluxul de biți (i.e. găsirea alinierii) și nu sunt scrise în FIFO-uri.

	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
header	EOP	V	P	orbit(2)									BCID(12)																				
hit data	EOP	1	P	0	T	CHAN(6)						ADC (10)						TDC (8)						N	rel BCID(3)								

Figura 4: Formatul de scriere în coadă al pachetelor de intrare [39].

ROC-ul primește fluxul TTC și semnalul de ceas LHC prin cipul GBTx. Semnalul de ceas este utilizat ca referință în partea analogică. Fluxul TTC este organizat în octeți ai căror biți reprezintă comenzi care sincronizează contoarele de trigger, BCID și OrbitID și selectează BC-urile de interes (i.e. trigger). Octeții nu sunt codati 8b10b, ci sunt serializați direct pe o singură linie SLVS DDR, utilizând tot un semnal de ceas RO de 160 MHz. Fluxul TTC rezultat de 320 Mbps = 320×10^6 bps este interpretat de modulul TTC Capture.

ROC-ul conține patru module Sub-ROC (SROC) care au canale distincte VMM Capture asociate printr-un modul cross-bar configurabil. Un SROC poate avea mai multe FIFO-uri VMM Capture asociate, dar un VMM Capture FIFO

nu poate fi asociat mai multor SROC-uri simultan. Modulul cross-bar este pur combinational funcționând ca un multiplexor-demultiplexor. Pentru fiecare trigger L1 se formează un pachet/eveniment L1 în fiecare SROC activat, marcat de identificatorii BC-ului selectat și conținând datele L0 corespunzătoare și valide din cozile asociate. Evenimentele L1 sunt scrise într-un SROC FIFO cu formatul prezentat în Figura 5. MSB-ul indică sfârșitul fiecărui pachet și nu este transmis. De îndată ce sunt gata de trimitere (i.e. sunt complete), pachetele L1 sunt codificate 8b10b, serializate și transmise către GBTx. Fiecare SROC are două linii de ieșire seriale SLVS DDR care pot funcționa până la 320 Mbps (adică 320×10^6 bps) fiecare. Sunt posibile următoarele lățimi de bandă: i) 80, 160 sau 320 Mbps cu numai prima linie activă sau ii) 640 Mbps cu ambele linii active la 320 Mbps, biții fiind intercalați la fel ca pentru datele VMM3. SROC-ul poate satura lățimea de bandă de ieșire în toate cele patru cazuri. Fiecare SROC conține un TTC FIFO pentru stocarea temporară a identificatorilor BC selectate de trigger-ele L1. Formatul acestora este ilustrat în Figura 6.

	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
null evnt	1	0	1	ROC ID (6)						LEVEL-1 ID (8)								16'b0															
hit header	0	0	0	orbit(2)		BCID (12)						LEVEL-1 ID (16)																					
hit header no TDC	0	1	0	orbit(2)		BCID (12)						LEVEL-1 ID (16)																					
hit data	0	P	N	rel BCID(3)			VMMid(3)			CHAN (6)			ADC (10)				TDC (8)																
hit data no TDC	0	P	N	rel BCID(3)			VMMid(3)			CHAN (6)			ADC (10)				8'b0																
dummy hit data	0	P	0	3'b0			VMMid(3)			6'b0			ADC (10) = 0x3ff				8'b0																
trailer	1	0	TO	VMM missing data flags (8)						LO ID (4)				length (no. hits) (10)				checksum (8)															

Figura 5: Formatul de stocare temporară a pachetelor L1 în SROC FIFO [39].

	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
orbit (2)	BCID (12)						L1ID (16)																							

Figura 6: Formatul de stocare temporară al trigger-elor L1 în TTC FIFOs [39].

Modulul de configurare și monitorizare a părții digitale a ROC-ului este un banc de registre interfațat cu logica digitală pe de o parte și cu un sclav Inter-Integrated Circuit (I²C) pe de cealaltă parte. Unele dintre aceste registre alimentează semnale în partea digitală (i.e. configurație) în timp ce celelalte registre supraveghează semnale relevante din logica digitală (i.e. monitorizare).

Semnalele de ceas interne și externe ale ROC-ului sunt generate de patru blocuri Phase-Locked Loop (PLL)² din partea analogică. Toate utilizează semnalul de ceas de 40 MHz TTC BC ca referință. Cele trei ePLL-uri care furnizează semnalele de ceas externe sunt versiuni ușor modificate ale macroblocului prezentat în [40]. Acestea primesc și comenzile relevante TTC decodificate de la partea digitală (i.e. TTC Capture) și le redirecționează cu faze configurabile. Toate ePLL-urile sunt configurate și monitorizate printr-un banc de registre separat asociat cu un sclav I²C.

Cei doi sclavi I²C sunt interfațați cu cipul master Slow Control Adapter (SCA) pe magistrale dedicate așa cum se arată în Figura 3. Mai multe porturi GPIO (General Purpose Input/Output) ale SCA-ului conduc semnalele de reset

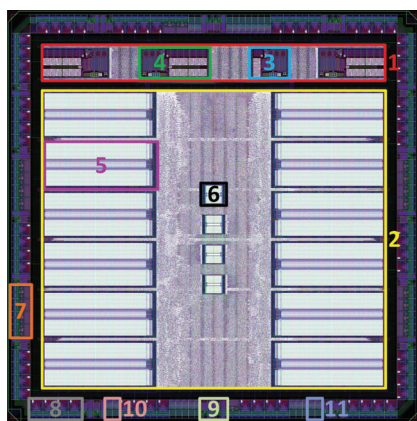
²denumite ePLL în cadrul Colaborării ATLAS așa cum se arată în [40].

ale ROC-ului și eșantionează semnalele de calare a ePLL-urilor sale. ASIC-ul SCA configurează, de asemenea, cele opt VMM3-uri prin interfețe dedicate SPI (Serial Peripheral Interface) și le controlează semnalele de reset.

2.2 Implementare fizică și încapsulare

Pastila de siliciu a ROC-ului în reprezentare Electronic Design Automation (EDA) este ilustrată în Figura 7, cu regiunile principale și macroblocurile evidențiate. Aceasta este pătrată cu o latură de 4.744 mm (i.e. arie de 22,5 mm²) și are un chenar format dintr-un rând de pad-uri. Dintre cele 232 de pad-uri, 187 sunt utilizate pentru semnale Input-Output (IO). Cipul este ușor limitat de logică, ceea ce înseamnă că dimensiunea nucleului determină dimensiunea pastilei de siliciu și nu numărul de pad-uri. Lățimea totală a celulelor de umplere dintre pad-uri este mai mică decât cel mai îngust pad IO sau de alimentare.

Similar cu arhitectura sa, nucleul este împărțit în două zone pe baza funcției lor: partea *analogică* și cea *digitală*. Partea digitală are o suprafață de 13,3 mm² din care 64% reprezintă SRAM - Static RAM (i.e. aproximativ 8,5 mm²). Se utilizează SRAM-uri identice pentru cele opt FIFO-uri VMM Capture și patru FIFO-uri SROC: fiecare cu o arie de 0.689 mm², două porturi, două domenii de ceas și conținând $2^{11} \times 33$ biți. Patru SRAM-uri cu două porturi, un singur domeniu de ceas și $2^7 \times 30$ biți fiecare reprezintă memoriile celor patru FIFO-uri TTC. Fiecare are o suprafață de 0,054 mm². Restul logicii de procesare a pachetelor este conținută în zona rămasă de 4,8 mm² și constă din 83.079 porți logice combinaționale și 18.458 bistabile. În Figura 7 densitățile elementelor secvențiale (i.e. bistabile și latch-uri) din întregul ROC pot fi vizualizate, deoarece acestea sunt evidențiate cu contur alb.



1. Partea *analogică*
2. Partea *digitală*
3. ePLL-ul pentru ceasurile interne
4. Un ePLL pentru ceasuri externe: 4 BC (40 MHz) și 4 RO (160 MHz)
5. Una dintre cele 12 SRAM-uri $2^{11} \times 33$ biți, dublu-port, cu două domenii de ceas utilizată pentru cozile de pachete din VMM Capture și SROC
6. Una dintre cele 4 SRAM-uri $2^7 \times 30$ biți, dublu-port, cu un domeniu de ceas utilizată pentru cozile TTC
7. Câteva pad-uri de intrare SLVS
8. Câteva pad-uri de ieșire SLVS
9. Câteva pad-uri de alimentare
10. Două pad-uri de ieșire single-ended
11. Două pad-uri de intrare single-ended

Figura 7: Implementarea ROC-ului cu macroblocuri evidențiate [26].

Inițial, pastila de siliciu a fost lipită direct pe PCB-ul de testare și interfațată

prin firușoare de aur cu traseele acestuia așa cum este ilustrat în Figura 8a. Ulterior, pentru validarea parțială a circuitului a fost folosită o capsulă intermediară de tip Quad Flat Package (QFP) cu 144 pini, ilustrat în Figura 8b. Capsula finală a ROC-ului, prezentată în Figurile 8c și 8d, este de tip Ball-Grid Array (BGA) 16×16 cu un pas de 1 mm și un diametru al biluțelor de 0,6 mm, rezultând într-o amprentă cu o suprafață de 289 mm^2 .

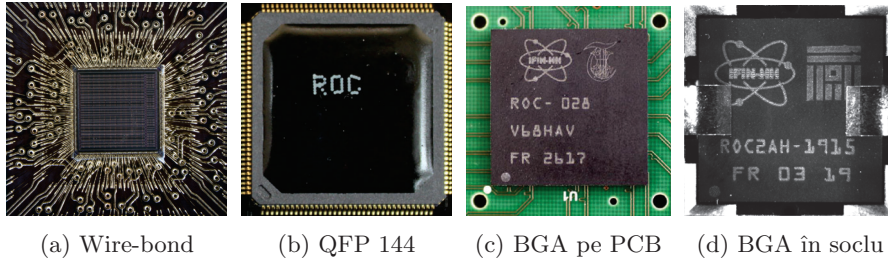


Figura 8: Un prototip ROC lipit și interfațat direct pe un PCB de testare (a), capsula intermediară QFP 144 (b) și capsula finală BGA 16×16 lipită pe un PCB de testare (c) și într-un soclu fără capac (d).

2.3 Modelul de echilibru

Din perspectiva teoriei cozilor, fiecare SROC conține două servere: FSM-ul (Finite State Machine) Packet Builder care construiește evenimentele L1 pe baza evenimentelor L0 din FIFO-urile VMM Capture și trigger-ele L1 primite (i.e. serverul de procesare) și FSM-ul Streamer care implementează protocolul de transmisie pentru evenimentele de ieșire finalizate (i.e. serverul de transmisie). Canalele VMM Capture asociate cu un SROC sunt numerotate de la 1 la m .

Deoarece toate ASIC-urile VMM3 asociate unui ROC răspund la aceleași comenzi de trigger L0 și presupunând că niciun trigger nu este ignorat, ratele medii ale pachetelor de date de intrare sunt egale: $\lambda_{\text{VMM3 } 1} = \dots = \lambda_{\text{VMM3 } i} = \dots = \lambda_{\text{VMM3 } m} = \lambda_{\text{VMM3}} = \lambda_{\text{L0 trigger}}, \forall i \in \mathbb{N}, 1 \leq i \leq m$.

Când un singur nivel de trigger hardware este utilizat în sistemul ATLAS TDAQ, rata medie de sosire a trigger-elor L1 este aceeași: $\lambda_{\text{L1 trigger}} = \lambda_{\text{L0 trigger}} = \lambda_{\text{VMM3}}$. Când sunt implementate două nivele pentru trigger-ele hardware, ROC-ul va fi responsabil pentru selecția celui de-al doi-lea nivel în sistemul de citire al NSW. Astfel, condiția $\lambda_{\text{L1 trigger}} \leq \lambda_{\text{VMM3}} = \lambda_{\text{L0 trigger}}$ acoperă ambele etape de upgrade HL-LHC. Raportul de selecție este definit ca $sel = \frac{\lambda_{\text{L1 trigger}}}{\lambda_{\text{VMM3}}} = \frac{\lambda_{\text{L1 trigger}}}{\lambda_{\text{L0 trigger}}}$, $0 \leq sel \leq 1$ și are cerința ca $\lambda_{\text{VMM3}} = \lambda_{\text{L0 trigger}} > 0$.

FIFO-ul de pachete al SROC-ului nu se umple și prin urmare nu limitează serverul de procesare dacă $\rho_{\text{tx}} \leq 1$, unde ρ_{tx} este utilizarea serverului de transmisie, definită ca $\rho_{\text{tx}} = \frac{\lambda_{\text{tx}}}{\mu_{\text{tx}}}$. μ_{tx} este rata medie de transmisie când serverul este ocupat în timp ce λ_{tx} este rata medie de sosire a clienților (i.e. pachetele L1 de la serverul de procesare). Dar $\lambda_{\text{tx}} = \mu_{\text{SROC proc}}$, unde $\mu_{\text{SROC proc}}$ este rata medie de servizare a trigger-elor L1 de către FSM-ul Packet Builder.

2.3 Modelul de echilibru

În mod similar, FIFO-urile TTC și VMM Capture nu se vor umple (și date nu se vor pierde) atâta timp cât este adevărată următoarea condiție: $\rho_{\text{proc}} \leq 1$. Utilizarea serverului de procesare este definită ca $\rho_{\text{proc}} = \frac{\lambda_{\text{L1 trigger}}}{\mu_{\text{SROC proc}}}$. Condiția pentru a nu umple niciun FIFO din ROC este $\lambda_{\text{L1 trigger}} \leq \mu_{\text{SROC proc}} \leq \mu_{\text{tx}}$. Dacă $\mu_{\text{SROC proc}} > \mu_{\text{tx}}$, date nu vor fi pierdute în FIFO-ul de pachete al SROC-ului dar imediat ce acesta este plin $\mu_{\text{SROC proc}}$ va fi redusă la μ_{tx} .

Rata medie maximă de transfer fără pierderi a SROC-ului (în pac/s) este³:

$$\begin{aligned} \mu_{\text{SROC-max-tx}} &= \\ &= \frac{kv}{10[k \sum_{i=1}^m \binom{m}{i} (1-p)^i p^{m-i} (9+e+i\bar{n}h) + kp^m(3+e)o + 3-e]} \end{aligned} \quad (1)$$

Variabilele utilizate în formulă sunt detaliate în Tabelul 1. Raportul de selecție *sel* nu apare în formulă deoarece sunt luate în considerare numai pachetele de ieșire. Cu toate acestea, pentru a atinge și a menține rata maximă de transfer a SROC-ului, *sel* trebuie să fie suficient de mare astfel încât FIFO-ul de pachete al SROC-ului să conțină întotdeauna cel puțin un pachet L1 complet.

Var.	Descriere
<i>e</i>	starea de activare pentru transmiterea simbolurilor EOP între pachetele L1 spate-în-spate, $e \in \{0, 1\}$.
<i>h</i>	numărul de bytes ai unui cuvânt hit L1, $h \in \{3, 4\}$.
<i>k</i>	numărul maxim de pachete L1 spate-în-spate, $1 \leq k \leq 255$.
<i>m</i>	numărul de canale VMM Capture asociate, $1 \leq m \leq 8$.
\bar{n}	media variabilei aleatoare discrete $n \in \mathbb{N}$, $1 \leq n \leq 64$ care reprezintă numărul de cuvinte L0 hit din pachetele VMM3 nenule.
<i>o</i>	starea de activare pentru transmiterea pachetelor L1 nule, $o \in \{0, 1\}$.
<i>p</i>	probabilitatea ca un VMM3 să trimită un pachet L0 nul.
<i>v</i>	rata de transmisie a SROC-ului, $v \in \{80, 160, 320, 640\} \times 10^6$ bps.

Tabela 1: Descrierea variabilelor din ecuațiile 1, 2 și 3.

Ratele medii maxime de transmisie fără pierderi pentru VMM3, în pac/s și de procesare fără pierderi pentru SROC, în trigg/s, sunt:

$$\lambda_{\text{VMM3-max-tx}} = \frac{1.6 \cdot 10^7}{(1-p)(\bar{n}+1) + p} \quad (2)$$

$$\mu_{\text{SROC-max-proc}} = \frac{40 \cdot 10^6}{2 + m \left\{ \frac{1}{\text{sel}} [(1-p)(\bar{n}+1) + p] + 2(1-p^m) + op^m + 2 \right\}} \quad (3)$$

În Figura 9, ratele maxime teoretice de transmisie și procesare a pachetelor fără pierderi sunt reprezentate în funcție de \bar{n} când $p = 20\%$. Rata medie

³Notăția $\binom{n}{k}$ reprezintă combinații de n luate câte k : $\binom{n}{k} = \frac{n!}{k!(n-k)!}$.

maximă de procesare când $sel = 1\%$ este atât de mică deoarece pentru fiecare trigger L1, 100 de pachete L0 sunt scoase în medie din fiecare dintre cele două canale VMM Capture asociate. Doar 1% din datele de intrare sunt transmise la ieșire ceea ce înseamnă ca o rată de transmisie $v = 80 \cdot 10^6$ bps este suficientă.

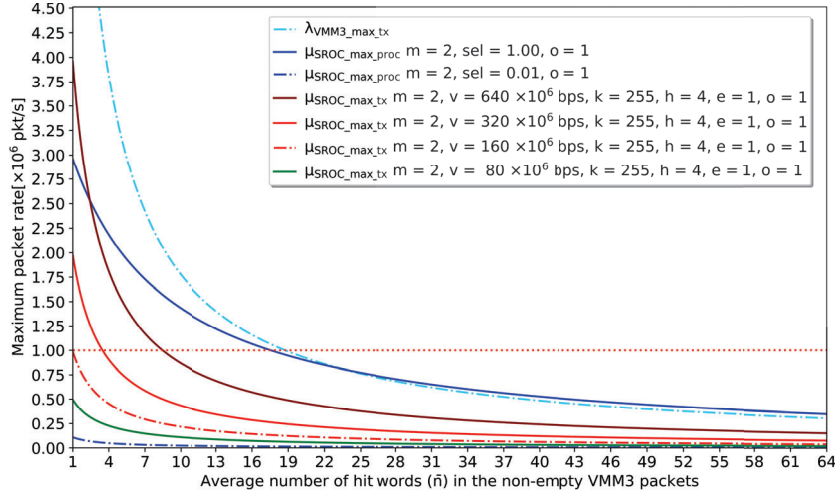


Figura 9: Rate maxime de procesare și transmisie fără pierderi în funcție de \bar{n} .

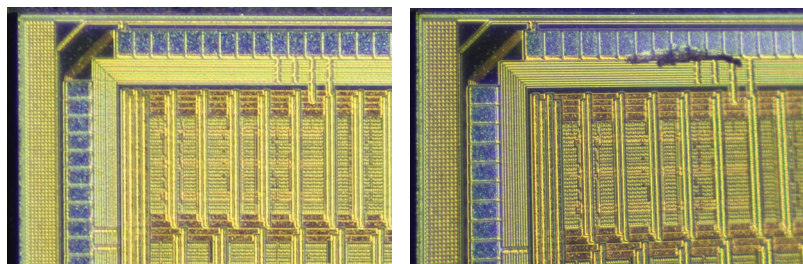
3 Testarea ROC-ului

ASIC-ul ROC a necesitat validarea proiectării și implementării sale, confirmarea modelului său matematic, controlul calității cipurilor produse în masă, evaluarea calității semnalelor sale de ieșire TTC și de ceas și un demonstrator. În consecință, au fost dezvoltate și utilizate două medii de testare funcțională separate bazate pe FPGA (Field Programmable Gate Array): unul *digital* pentru logica de procesare a pachetelor și celălalt *analogic* care evaluează semnalele de ceas și comenzile de ieșire și programabilitatea fazelor lor. Ambele au fost utilizate pentru controlul calității cipurilor fabricate în masă. O versiune modificată a mediului de testare digitală a fost utilizată pentru testele sub influența radiației nucleare ce sunt subiectul secțiunii 4. Accentul se pune pe mediul de testare digitală, deoarece autorul a contribuit exclusiv la acesta.

Controlul calității cipurilor fabricate în masă este motivat de variabilitatea procesului de fabricație și de probabilitatea nenulă de a fi induse defecte. Primul motiv se traduce prin variabilitatea caracteristicilor electrice. Un exemplu al celui de-al doilea motiv este ilustrat în Figura 10 care conține două fotografii la microscop a colțului din stânga sus pentru două pastile de siliciu ROC reale și distincte, cu (dreapta) și fără defecte fizice (stânga). Testarea vizează descoperirea defectelor induse de procesul de fabricație și separarea dispozitivelor fabricate în categorii pe baza performanței și/sau a viabilității acestora, pro-

3.1 Mediul de testare digitală

ces numit clasificare, care în cea mai simplă variantă separară dispozitivele în categoriile *bune* și *defecte*. În plus, testarea funcțională validează și faptul că dispozitivul îndeplinește specificațiile sale, asigurând funcționarea sa în lumea reală [41]. Rigurozitatea testului funcțional determină calitatea dispozitivelor validate, dar implică mai mult timp și un randament mai mic. Cipul ROC nu include lanțuri de scanare (i.e. scan chains).



(a) Pastilă de siliciu ROC validă. (b) Pastilă de siliciu ROC defectă.

Figura 10: Fotografii la microscop (de Sorin Mărtoiu de la Institutul Național de Cercetare-Dezvoltare pentru Fizică și Inginerie Nucleară „Horia Hulubei” Măgurele - IFIN-HH) a două cipuri ROC, unul funcțional și unul cu defecte.

3.1 Mediul de testare digitală

Mediul de testare digitală se bazează pe placa de evaluare cu FPGA Xilinx Kintex Ultrascale KCU105 [42] și PCB-uri specifice pentru ROC. Se compune din generatoare de date de intrare, module de monitorizare a ieșirilor și o unitate de stare și control, toate implementate ca logică pe FPGA. Arhitectura de ansamblu este detaliată în Figura 11. Canalele seriale de intrare cu codare 8b10b ale DUT-ului (Device Under Test) sunt cele opt canale VMM Capture. Modulul TTC Capture reprezintă canalul de intrare serial de control al DUT-ului, în timp ce canalele de ieșire serială 8b10b sunt cele patru SROC-uri. Generatoarele de pachete L0 reproduc fluxurile de date VMM3. Pe baza datelor injectate și a configurației de testare, un generator separat generează fluxul TTC. Configurarea și monitorizarea părților digitale și analogice ale ROC-ului sunt realizate prin intermediul a două module master I²C. Analizoarele de date de ieșire verifică codarea și coerența fluxurilor de date de ieșire, conținutul pachetelor L1 și corectitudinea biților de paritate și a câmpurilor sumă de control. Un microprocesor Reduced Instruction Set Computer (RISC) soft-core Xilinx MicroBlaze [43] pe 32 de biți este instanțiat în logica de pe FPGA și rulează un software specific care controlează și monitorizează celelalte module. Mai multe periferice sunt asociate procesorului și sunt utilizate pentru depanare (prin Joint Test Action Group - JTAG), comunicarea cu utilizatorul (prin Universal Asynchronous Receiver-Transmitter - UART), configurarea circuitelor integrate de pe PCB-ul de testare (prin I²C) și sincronizare și cronometrare precisă (timer). Semnalele de ceas care alimentează logica de pe FPGA și cele furnizate către ROC sunt

generate de un PLL. Semnalul de calare al acestui PLL este utilizat pentru generarea semnalelor de reset. Un Integrated Logic Analyzer (ILA) Xilinx [44] mărește observabilitatea în cadrul logicii de pe FPGA prin eșantionarea semnalelor relevante și transferarea datelor rezultate pe un computer gazdă prin JTAG pentru analiză. PCB-ul de testare asigură alimentarea cipului și interconectarea dintre acesta și FPGA prin conectori FPGA Mezzanine Card (FMC) [42].

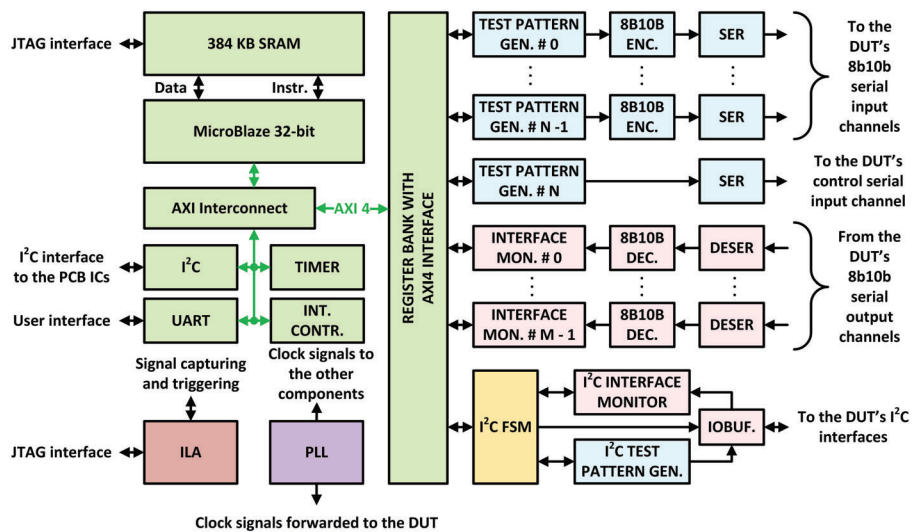


Figura 11: Arhitectura de ansamblu a mediului de testare funcțională digitală.

Au fost proiectate, implementate și utilizate cinci versiuni de PCB-uri de testare pentru ROC. Primele patru, ilustrate în Figura 12, diferă în principal prin modul în care a evoluat capsula ROC-ului: (i) lipit și interfațat direct pe placă, (ii) în capsulă QFP 144 lipită pe PCB și în capsulă BGA 16×16 fie lipită pe placă sau (iv) plasată într-un soclu cu capac. În toate cele patru figuri, unicul conector High Pin Count (HPC) FMC este situat la stânga pe cealaltă parte a plăcii. Al cincilea tip de PCB (ilustrat în Figura 13) folosește un soclu BGA fără capac pentru inserarea/eliminarea ușoară și rapidă a chipului testat, circuite integrate diferite și suplimentare și al doilea conector FMC care este Low Pin Count (LPC). Semnalele mapate la conectorul FMC HPC sunt păstrate pe aceiași pini pentru toate versiunile PCB-ului pentru a menține compatibilitatea firmware-ului și corespund exclusiv logicii de procesare a pachetelor. În Figura 12a zona în care pastila de siliciu a ROC-ului este lipită și conectată prin firisoare de aur este acoperită cu o rășină polimerică cu vâscozitate redusă pentru protecție. Aceeași zonă a fost ilustrată neacoperită în Figura 8a.

Mediul de testare este configurabil. Rata medie a pachetelor L0 este reglabilă de la 100 kHz la 1,4 MHz (peste cerințe) în pași de 100 kHz. Pentru fiecare rată, pot fi selectate scenarii predefinite cu diferite procente medii de pachete nule și dimensiuni medii pentru pachetele nenule. În total, există 2^7 scenarii,

3.1 Mediul de testare digitală

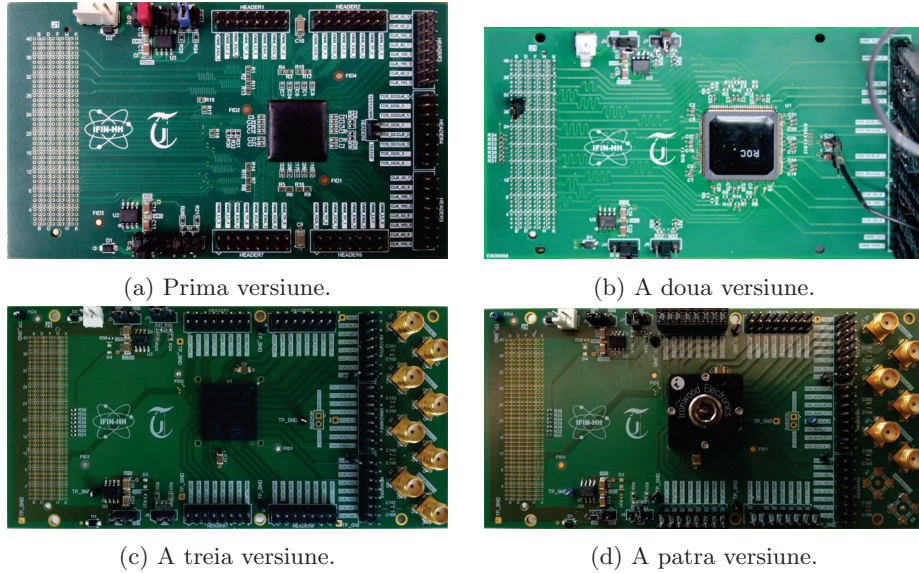


Figura 12: Primele patru versiuni ale PCB-ului de testare a ROC-ului.

fiecare conținând liste de 2^8 valori pseudo-aleatorii pentru fiecare descriptor. Aceste liste sunt iterate în buclă pe măsură ce emulatoarele VMM3 trimit pachete. Este inclus un scenariu distinct cu cel mai rău caz teoretic de rafală executat într-o buclă, acesta fiind utilizat în timpul testării în masă și pentru validare modelului matematic. Se emulează așteptarea comenzilor de trigger L0 în interiorul VMM3. Se pot configura și utiliza rate și dimensiuni constante pentru pachetele L0. Câmpurile cuvintelor hit sunt umplute cu valori ale unor contoare individuale, incrementate pentru fiecare cuvânt hit nou. Pentru fiecare emulator VMM3, valorile de pornire și de incrementare ale acestor contoare sunt diferite. Există opțiunea de a utiliza cuvinte hit cu valoare constantă (i.e. utilizată pentru testele în radiație nucleară din Secțiunea 4). Latența trigger-ului L1 poate fi ajustată între 10 și 185 μs în pași de 1 μs . Raportul de selecție poate fi setat de la 1 la 100% în pași de 1%, iar tiparul de selecție poate fi ajustat.

Contextul ROC-ului este asincron deoarece componentele sale (e.g. VMM3-urile asociate unui ROC) au domenii de ceas distincte și utilizează linii de întârziere (e.g. în ROC și GBTx). Prin urmare, mediul de testare digitală este, de asemenea, asincron. Cipul este în cea mai mare parte sincron. Conține elemente asincrone: FIFO-uri, modulul TTC Capture, linii de întârziere pentru semnalele de ceas și comenzile TTC de ieșire. Nu conține circuite încorporate de detectare automată a fazelor semnalelor de date de intrare, astfel încât necesită un mediu de testare digitală mai complex și o procedură de configurare mai complicată odată ce va fi instalat pe plăcuțele NSW Front-End Board (FEB).

Calibrarea fazelor pentru fluxurile de date seriale de mare viteză care ies sau intră în FPGA, în raport cu semnalele de ceas ce le eșantionează din ROC și

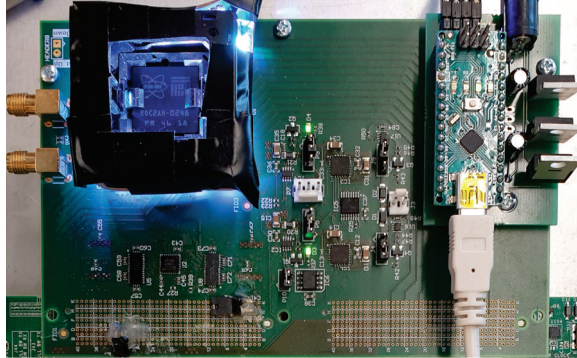


Figura 13: Versiunea finală a PCB-ului de testare cu soclu BGA deschis.

FPGA se realizează folosind linii de întârziere configurabile dedicate din FPGA. Într-o primă abordare, un mecanism de sincronizare automată a fost dezvoltat ca o componentă software, care rulează pe microprocesorul instanțiat MicroBlaze și scanează liniile de întârziere și validează răspunsurile din ROC și FPGA. Centrul celui mai mare interval de pași de întârziere valizi consecutivi este valoarea de întârziere aleasă. La fiecare pas, datele valide injectate sunt variate cât mai mult posibil pentru a reduce timpul mediu dintre erori - Mean Time Between Failures (MTBF) așa cum este definit în [45]. Pentru canalele 8b10b, stările receptoarelor sunt verificate pentru erori de decodare, paritate și coerență. Dacă nu a apărut nicio eroare, întârzierea este validă. Ultimul canal care este calibrat este fluxul TTC. În acest caz comportamentul așteptat este verificat considerând toate celelalte canale de date deja calibrate.

Deoarece abordarea inițială este inefficientă, a fost implementată o căutare binară simetrică dublă inspirată de algoritmul clasic de căutare binară. Se caută extremitățile intervalelor valide. Abordarea propusă este ilustrată în Figura 14 unde pașii de întârziere valabili sunt reprezentați cu verde și cei nevalizi cu roșu. Extremitățile liniei de întârziere sunt d_{min} și d_{max} . Algoritmul eșantionează mai întâi mijlocul intervalului de întârziere ($\Delta d/2$), unde $\Delta d = d_{max} - d_{min}$, apoi se deplasează în ambele direcții cu $\Delta d/4$. Apoi, din fiecare dintre cele două poziții rezultate, se deplasează cu $\Delta d/8$ într-una sau ambele direcții pe baza rezultatelor anterioare și așa mai departe. Până la atingerea rezoluției dorite, dimensiunea pasului este înjumătățită la fiecare iterație. Complexitatea algoritmului propus este $O(\log N)$ comparativ cu $O(N)$ pentru scanarea clasică.

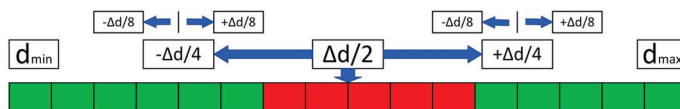


Figura 14: Calibrarea implementată și utilizată pe bază de cautare binară dublă.

3.2 Rezultate experimentale

Codurile Register Transfer Level (RTL) și netlist-urile logicii ROC-ului de procesare a pachetelor și ale mediului de testare funcțională digitală au fost validate în simulări în care au fost interfațate. Implementarea logicii pe FPGA a îndeplinit constrângerile de timp, plasare și rutare. Primele cipuri ROC fabricate au fost testate în diferite scenarii pentru perioade cuprinse între câteva minute până la 48 de ore și date capturate de ILA au fost analizate. ROC-ul a trecut testele preliminare de integrare cu celelalte ASIC-uri din contextul NSW [46] [47]. Metoda de calibrare mai rapidă a avut succes (i.e. cu 70% mai rapidă în cel mai rău caz). Mediul de testare funcțională digitală a fost utilizat pentru testarea în masă a cipurilor. A fost evaluată performanța ROC-ului în ceea ce privește ratele maxime de date fără pierderi teoretizate în Secțiunea 2.3. A fost aplicat cel mai rău caz teoretic de rafală de trigger și pachete de intrare în buclă. Limitele teoretice stabilite au fost confirmate.

În Figura 15 sunt prezentate histogrammele normalizate ale dimensiunii celui mai mare interval de întârziere valid (stânga) și a valorii de întârziere optimă găsită (i.e. mijlocul celui mai mare interval valid - dreapta) pentru două canale VMM Capture, la tensiune nominală (1,2 V sus) și sub-nominală (1,1 V jos). Diferența dintre dimensiunile medii la tensiunea nominală este de 137,55 pași de întârziere (i.e. 572 ps) în ciuda constrângerilor de timp și a codului RTL identice utilizate în timpul proiectării. Răspândirea histogrammelor la 1,1 V este cauzată în principal de variabilitatea crescută a defazajului introdus de ePLL-uri asupra ceasurilor lor de ieșire la tensiuni mai mici decât cea nominală.

Metodele de sincronizare prezentate s-au dovedit utile pentru evaluarea dimensiunii regiunii de tranziție a diagramei ochi (i.e. estimarea jitter-ului) pentru canalele de intrare ale DUT-ului. În Figura 16 sunt ilustrate diagramele ochi măsurate cu osciloscopul ale unui canal de intrare (sus) și ale unui canal de ieșire (jos) la tensiune nominală (dreapta) și sub-nominală (stânga). Valorile estimate ale jitterului rezultate din diagrame sunt 670, 834, 1477 și 1664 ps de sus în jos și de la stânga la dreapta, indicând degradare la scăderea tensiunii de alimentare și la trecerea prin DUT, așa cum este de așteptat. Pentru același cip și canale, dimensiunile intervalului de întârziere nevalid sunt de 665,6, 844,5, 561,1 și 773,76 ps în aceeași ordine. În acest caz, estimările de jitter pentru canalul de ieșire sunt mai mici decât cele pentru cel de intrare, spre deosebire de ceea ce a fost măsurat în diagrame, datorită duratei mai mici de observare de 20 ms/pas comparativ cu aproximativ 10 s. Pentru rezultate comparabile, trebuie utilizat același timp de observare.

La Universitatea Transilvania din Brașov, 2.677 de cipuri ROC BGA au fost testate în mediile de testare funcțională digitală și analogică. Următoarele afirmații se referă exclusiv la testarea digitală. Au fost utilizate două tensiuni de alimentare: (i) tensiunea nominală de 1,2 V și (ii) tensiune sub-nominală de 1,1 V. Zece teste au fost proiectate pentru a acoperi toate caracteristicile funcționale. Doar cipurile care au trecut toate testele la ambele tensiuni au fost clasificate ca *bune*. Un test este picat dacă orice bit de ieșire este incorect. 2.343 (87,52 %) de cipuri au trecut testul la 1,2 V și dintre ele, 1.819 (67,95 % din

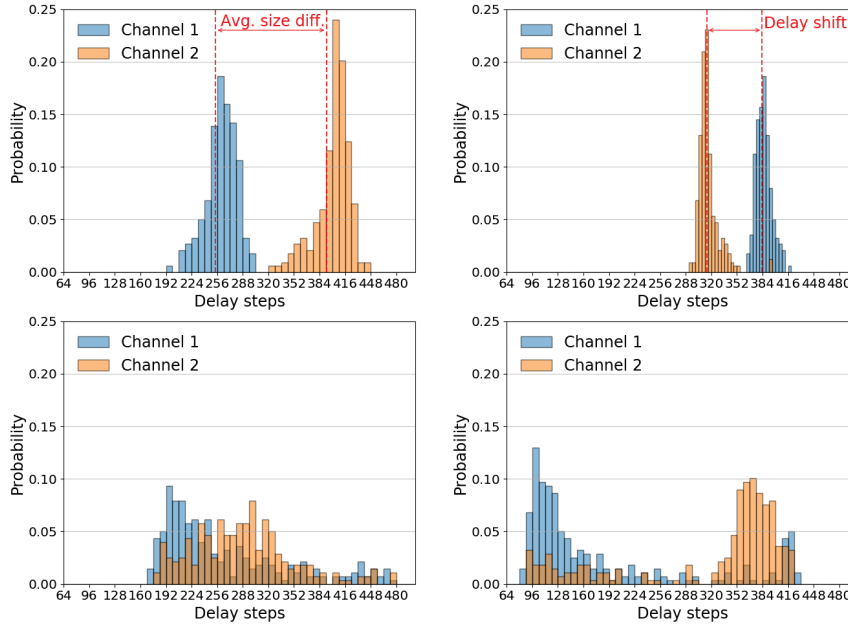


Figura 15: Pentru două canale de intrare ale DUT-ului: histograme cu dimensiunea validă a intervalului de întârziere (stânga) și valoarea optimă de întârziere găsită (dreapta) la tensiune nominală (sus) și sub-nominală (jos) [48].

total) au fost declarate *bune*. O analiză a cauzelor picării testelor este inclusă în teză.

4 Imunitatea la efectele radiației nucleare

Radiația nucleară perturbă dispozitivele electronice și chiar le poate deteriora permanent prin două fenomene: *ionizare*⁴ și *daune de dislocare*⁵. Efectele induse de radiație sunt clasificate în două tipuri: cumulative și efectele evenimentelor singulare (Single Event Effects - SEEs). Efectele cumulative sau de doză totală sunt proporționale cu fluxul integrat de particule care au fost incidente pe dispozitiv. În cele din urmă, acestea duc la defectarea completă a dispozitivului. SEE-urile sunt rezultate imediate ale ionizării. Două tipuri tipice de SEE-uri *soft* (i.e. care afectează un semnal temporar) sunt fluctuațiile singulare (Single Event Transients - SETs) și răsturnările singulare (Single Event Upsets - SEUs). Un SET este o comutare rapidă (i.e. glitch) indusă a nivelului de tensiune într-un traseu de circuit [51]. Efectul asupra funcționalității sistemului depinde de funcția traseului, e.g. cel mai perturbator SET se întâmplă pe o ramură a ar-

⁴Procesul de dobândire de sarcină electrică prin pierderea sau câștigarea de electroni prin coliziuni de particule suficient de energice cu materialul ionizat [49].

⁵Procesul de inducere de defecte în rețeaua atomilor semiconductorului [50].

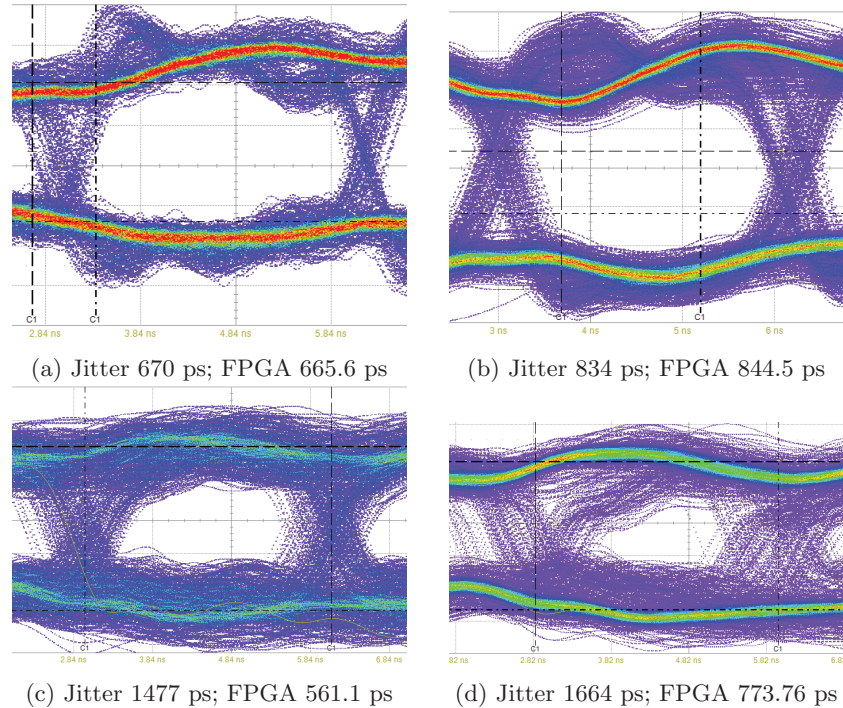


Figura 16: Diagrame ochi pentru un canal de intrare al DUT-ului la tensiune nominală (sus-stânga) și sub-nominală (sus-dreapta) și pentru un canal de ieșire al DUT-ului la tensiune nominală (jos-stânga) și sub-nominală (jos-dreapta).

borelui de distribuție a semnalului ceasului. Un SEU este o schimbare de stare indusă în cadrul unui element secvențial [50] cauzată de depunerea de sarcină electrică. Valoarea bitului stocat este negată și persistă până când se scrie o nouă valoare, este resetat circuitul sau se oprește alimentarea.

Circuitele integrate de la fața locului (on-site) utilizate în aplicații spațiale, experimentele de fizică nucleară și de fizica particulelor sunt expuse la cantități mai mari de radiație nucleară în comparație cu cele din afara locului (off-site). Pe lângă posibilitatea deteriorării permanente, în timpul funcționării SEE-urile *soft* pot induce erori și stări care nu au fost luate în considerare în proiectare și, astfel, le pot face să nu funcționeze corect. CERN definește două categorii de sisteme electronice expuse la radiație: tolerante la și întărite contra radiației [50]. Dispozitivele tolerante la radiație sunt proiectate să funcționeze în medii iradiate, în ciuda faptului că sunt vulnerabile la radiație. Implementează tehnici de atenuare pentru SEE-uri. Dispozitivele întărite contra radiației sunt imune la toate defecțiunile induse de radiație în limitele specificate ale mediului lor de operare, folosind atât măsuri constructive cât și de proiectare.

Redundanța modulară triplă (Triple Modular Redundancy - TMR) reprezintă o tehnică clasică pentru atenuarea SEE-urilor [52]. Aceasta constă în

replicarea sistemului de trei ori, furnizarea aceluiași semnale de intrare și determinarea rezultatului corect de la ieșire prin vot majoritar. Dacă un sistem eșuează, celelalte două pot determina ieșirea corectă. TMR a fost implementată pentru toate bistabilele din ROC. Toate modulele de vot majoritar din partea digitală indică, de asemenea, dacă valoarea uneia dintre instanțe nu se potrivește cu celelalte două. O poartă SAU concentrează toate aceste semnale într-un semnal de 1 bit care este utilizat pentru a incrementa un contor intern de 8 biți și este, de asemenea, alimentat către un pad de ieșire.

ROC-ul este între categoriile tolerant la și întărit contra radiației, deoarece folosește atât mecanisme de atenuare în proiectare (i.e. TMR), cât și componente întărite contra radiației (i.e. pad-urile SLVS și macroblocurile ePLL) amestecate cu componente comerciale (e.g. SRAM-urile și celulele logice). SRAM-urile sale sunt cele mai susceptibile la radiație.

4.1 Mediul de testare

Acceleratorul Tandem de la National Centre for Scientific Research (NCSR) Demokritos, Atena, Grecia, produce fascicule de neutroni cu energii cuprinse între 0,1 și 25,7 MeV [53] utilizând diferite reacții nucleare. O fluență totală a neutronilor comparabilă cu cea anuală maximă din NSW poate fi atinsă în câteva zeci de ore. Chiar dacă spectrul de energie al fasciculelor produse nu se potrivește complet cu spectrul din NSW și interacțiunile nucleare parazitare nu sunt foarte bine studiate sau documentate, instalația Demokritos a fost considerată adecvată de Grupul NSW pentru procesul de testare în radiație nucleară pentru ROC și celelalte ASIC-uri din context.

Mediul de testare funcțională digitală utilizat pentru validarea logicii și testarea în masă a cipurilor, prezentat în secțiunea anterioară, a fost adaptat pentru testele de iradiere. A fost ideal deoarece emulează contextul ROC-ului și acoperă toate stările posibile și caracteristicile funcționale pentru logica de procesare a pachetelor fiind extrem de configurabil. În plus, poate detecta orice bit incorect al oricărui pachet de ieșire în timp ce ROC-ul funcționează în timp-real la frecvențele sale nominale.

PCB-ul utilizat pentru testarea în masă având soclul fără capac (ilustrat în Figura 13) pentru ROC-ul în capsulă BGA (așa cum este ilustrat în Figura 8d) a fost poziționat astfel încât pastila de siliciu să fie expusă direct la fasciculul de neutroni cât mai aproape posibil de sursă. Zona de interacțiune este detaliată în Figura 17. Placa de testare a fost interfațată cu placa de evaluare cu FPGA printr-un cablu FMC HPC lung de 1,8 m. Placa de evaluare cu FPGA a fost poziționată în afara traiectoriei fasciculului, fiind protejată de cărămizi de plumb umplute cu parafină și a fost interfațată prin JTAG - Universal Serial Bus (USB) și UART - USB cu un computer gazdă cu acces la distanță prin internet. UART a fost interfața principală a utilizatorului cu mediul de testare și datele comunicate prin aceasta au fost salvate în fișiere text. Forme de undă ale semnalelor relevante din logica implementată pe FPGA, cu achiziția declanșată de erorile întâlnite din pachetele de ieșire, au fost capturate de ILA-ul Xilinx și transferate pe computerul gazdă.

4.2 Rezultatele testelor de iradiere

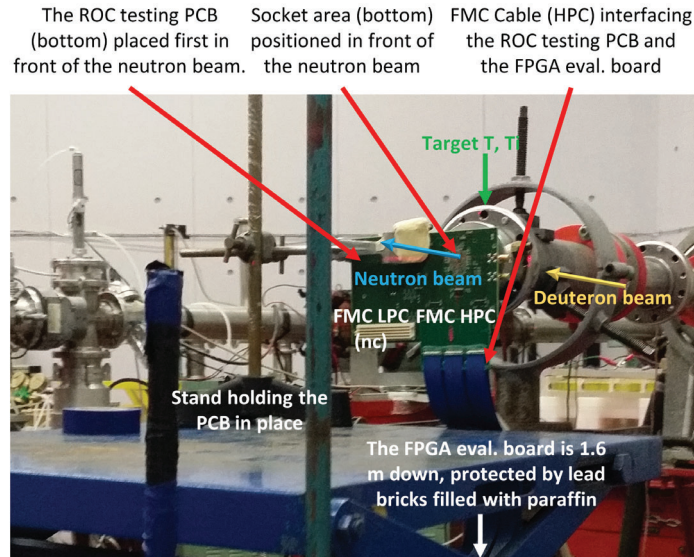


Figura 17: Zona de interacțiune din cadrul mediului de testare în radiație.

Configurația utilizată pentru mediul de testare a crescut nivelul de ocupare al tuturor FIFO-urilor ROC-ului cât mai mult posibil fără a induce pierderi de date. Astfel, probabilitatea ca funcționarea și datele de ieșire ale ROC-ului să fie afectate a fost mai mare.

4.2 Rezultatele testelor de iradiere

Două cipuri ROC validate au fost supuse unor fascicule de neutroni cu energii nominale de 20, 22 și 24 MeV. Fluxul de neutroni a fost estimat pentru fiecare etapă de către operatorii acceleratorului, în funcție de distanță și materialele interpușe între sursă și pastila de siliciu. Incertitudinea declarată este de 10%. Fluența acumulată este echivalentă cu $8,08 \pm 0,81$ luni de funcționare în cea mai iradiată parte a NSW când $L_{LHC} = 10^{34} \text{ cm}^{-2} \cdot \text{s}^{-1}$. Un total de 69 de SEU-uri au fost observate în cele 18458 bistabile ale părții digitale a ROC-ului, dintre care majoritatea s-au întâmplat în timpul etapelor de 24 MeV. Fișierele text cu tranzațiile UART și formele de undă capturate de ILA au fost analizate. Nu au fost detectate erori de aliniere, codificare, decodificare sau de sintaxă a protocolului în fluxurile de date de ieșire ale ROC-ului, ceea ce demonstrează că logica sa nu a fost condusă în stări ilegale și SEU-urile din bistabile au fost rezolvate de TMR. În Tabelul 2, sunt enumerate secțiunile transversale medii pentru SEU-urile din bistabile (Flip-Flop - FF) obținute în etapele cu aceeași energie a fasciculului, inclusiv intervalele lor de încredere calculate după metodologia prezentată în [54] luând în considerare un nivel de încredere de 95%.

Energia nominală [MeV]	SEU-uri FF	$\sigma_{\text{FF}} [\times 10^{-14} \text{ cm}^2 \cdot \text{bit}^{-1}]$
20	22	$1.37^{+0.75}_{-0.58}$
22	10	$3.46^{+2.98}_{-1.93}$
24	37	$6.28^{+2.68}_{-2.23}$

Tabela 2: SEU-urile FF observate per energia fascicului, intervalele de încredere și secțiunile transversale medii asociate calculate conform metodologiei din [54], considerând o incertitudine a fluenței de 10% și un nivel de încredere de 95%.

S-au observat erori în conținutul pachetelor de ieșire cu o rată considerabilă, cauzate de SEU-uri în SRAM-uri, așa cum este ilustrat în Figura 18. La fiecare 10 s (i.e. o iterație) au fost raportate erorile de conținut nou întâlnite. Acestea sunt clasificate după câmpul afectat din pachet. Cu toate acestea, un singur SEU SRAM poate produce multiple erori.

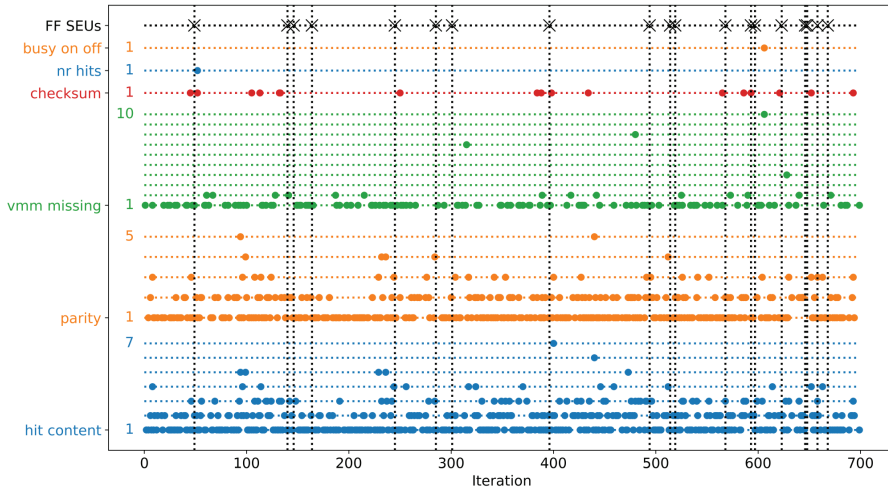


Figura 18: O fereastră de timp de 700 de iterații consecutive (i.e. 7000 s) dintr-o etapă de 24 MeV în care sunt marcate momentele de detecție pentru 19 SEU-uri FF și diferite erori din pachetele de ieșire clasificate după tip.

În Figura 19 histogramele normalizate ale intervalelor de sosire (interarrival times) pentru SEU-urile FF și primele trei cele mai frecvente tipuri de erori din pachetele de ieșire sunt ilustrate pentru o etapă de 24 MeV. Densitatea de probabilitate ideală exponențială cu aceeași rată medie de sosire (i.e. λ) este trasată ca referință în fiecare caz. Pentru a analiza validitatea ipotezei că sosirea fiecărui eveniment este independentă de evenimentele anterioare (memorylessness), s-au efectuat în toate cazurile teste de potrivire Chi-square și Kolmogorov-Smirnov. Verdictele lor sunt listate în fiecare histogramă. Această caracteristică este con-

firmată numai pentru SEU-urile FF și erorile *VMM missing* (i.e. lipsă date L0). Rezoluția de timp utilizată nu este suficientă pentru erorile *hit content* și *parity*. Deoarece comutarea unui singur bit din SRAM-uri poate determina detectarea mai multor erori în pachete, nu se pot presupune distribuții exponențiale pentru intervalele de sosire ale erorilor, chiar dacă SEU-urile din SRAM-uri care le-au cauzat urmează astfel de distribuții.

În Figura 20 intervalele de încredere ale secțiunilor transversale pentru SEU-urile FF și cele mai frecvente patru tipuri de erori din pachete sunt reprezentate în funcție de energia fasciculului de neutroni. Pentru fiecare tip de eroare din pachete, se iau în considerare numai latch-urile ocupate din SRAM-uri care l-ar putea provoca dacă valorile sunt comutate. S-a considerat o incertitudine de 10% pentru fluentă și s-a utilizat un nivel de încredere de 95%. Probabilitatea ca latch-urile din SRAM-uri să sufere SEU-uri este aproximativ egală între tipurile de erori. Rata SEU-urilor este semnificativ mai mare la 24 MeV comparativ cu 20 MeV, ceea ce se traduce prin valori ale secțiunii transversale relativ mai substanțiale. Secțiunile transversale ale SEU-urilor SRAM au fost estimate la $5.82^{+1.18}_{-1.18} \times 10^{-14}$, $9.16^{+2.01}_{-1.99} \times 10^{-14}$ și $37.18^{+7.39}_{-7.39} \times 10^{-14}$ cm²/bit la 20, 22 și respectiv 24 MeV. Aceste valori sunt mai pesimiste decât în realitate, deoarece se bazează pe numărul total de erori din pachetele de ieșire, dar un singur bit schimbat poate provoca raportarea mai multor erori.

Comutările biților din SRAM-uri pot provoca pierderi temporare sau permanente (i.e. până la resetare) ale sincronizării între datele VMM3 și triggererele L1. Două astfel de scenarii au fost simulate și sunt prezentate în teză.

Considerând secțiunile transversale de la 24 MeV, estimarea este că fiecare cip ROC va suferi $150 < 232 < 331$ și $17593 < 21957 < 26323$ SEU-uri în bistabilele și, respectiv, SRAM-urile sale pe an în partea cea mai iradiată a NSW când $L_{LHC} = 10^{34}$ cm⁻² · s⁻¹. Aceste valori sunt echivalente cu $1.39 < 2.15 < 3.06$ și $163.07 < 203.52 < 243.99$ SEU-uri/min în bistabilele și, respectiv, SRAM-uri, în cele 4875 ROC-uri ce vor fi instalate și vor funcționa pentru NSW.

5 O aplicație

În timpul dezvoltării logicii pe FPGA pentru validarea părții digitale a ROC-ului, testarea sa funcțională, evaluarea performanței și testarea sub influența radiației nucleare, unul dintre cele mai folosite instrumente utilizate a fost ILA-ul Xilinx [44]. Acesta a crescut considerabil observabilitatea în logica implementată pe FPGA și, prin urmare, depanabilitatea sa și a permis analiza extinsă a erorilor din pachetele de ieșire induse de radiație. Cu toate acestea, instrumentul are unele constrângeri și limitări. Astfel, s-a ajuns la ideea unui nou FPGA ILA care atenuează aceste limitări cu modificări atât ale metodei curente cât și ale aparatului. Performanța și eficiența sunt îmbunătățite dar vin cu prețul unei complexități crescute.

Analizorul logic (Logic Analyzer - LA) este un instrument electronic utilizat pentru digitalizarea, eșantionarea, stocarea, afișarea, decodarea, depanarea și analiza ferestrelor de multiple semnale digitale simultane de interes din circui-

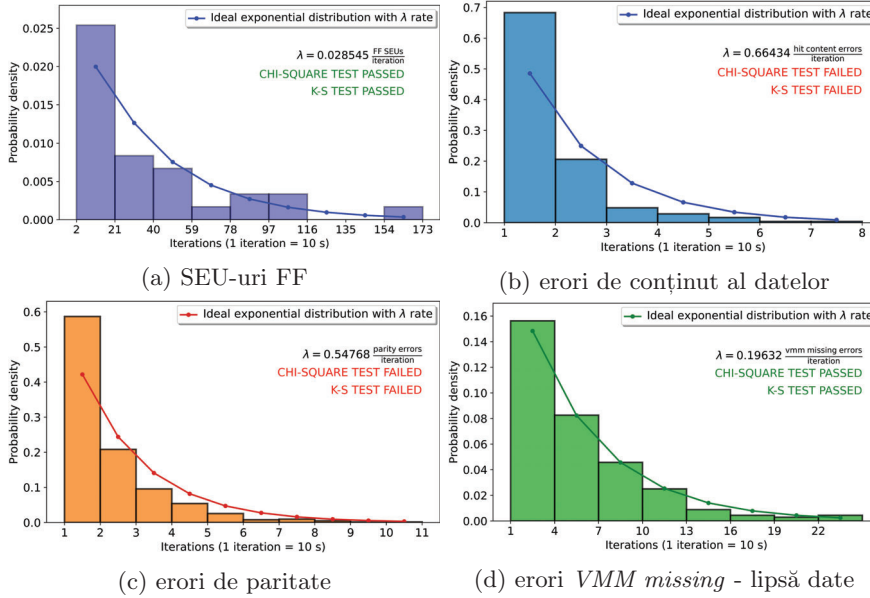


Figura 19: Histogramele normalizate și densitățile teoretice de probabilitate ale intervalelor de sosire în cazul SEU-urilor FF și a celor mai frecvente trei tipuri de erori din pachete de ieșire, observate în timpul unei etape de 24 MeV.

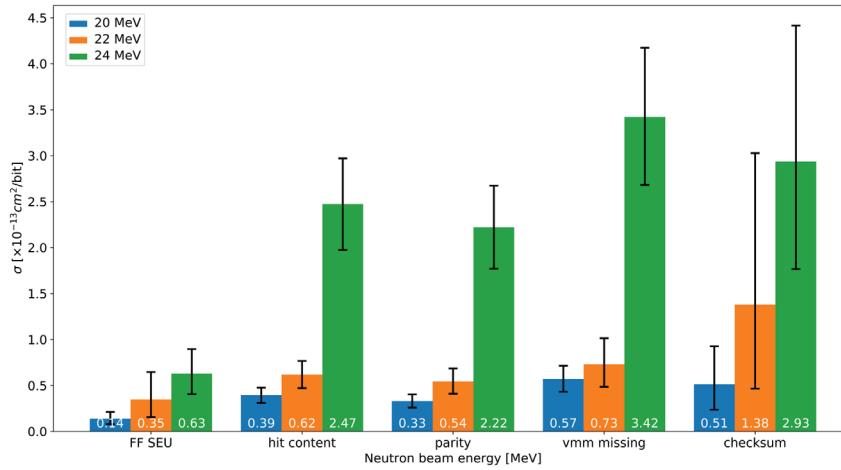


Figura 20: Secțiunile transversale ale SEU-urilor FF și ale celor mai frecvente patru tipuri de erori din pachete, cu o incertitudine de fluență de $\pm 10\%$ și un nivel de încredere de 95%.

tele și sistemele digitale. Spre deosebire de osciloscopae, LA-urile sunt dedicate exclusiv inspecției semnalelor digitale la nivelul legăturii de date pe mult mai

multe canale. Chiar dacă semnalele digitale din lumea reală sunt de fapt analogice, canalele de sondare ale LA le transformă în reprezentări digitale. Oscilosoapele sunt utilizate pentru a analiza caracteristicile semnalelor considerate digitale (e.g. timpii de creștere și cădere, factorul de umplere, jitter-ul și faza etc.). LA traduce aceleași semnale în 1 și 0 logic pentru a determina corectitudinea datelor și a protocolului. Un LA integrat (ILA) este un accesoriu care îmbunătățește funcționalitatea unui instrument sau dispozitiv electronic, de ex. un Digital Storage Oscilloscope care încorporează un LA devine un Mixed Signal Oscilloscope. Un FPGA ILA este parțial implementat în logica configurabilă a FPGA-ului. Achiziționează ferestre de eșantioane de semnale selectate din logica implementată și le transferă pe un computer gazdă unde pot fi interpretate, verificate, stocate și vizualizate ca forme de undă.

Limitările identificate ale FPGA ILA-urilor curente (i.e. Xilinx ILA și Altera SignalTap II [55]) sunt următoarele: (i) adâncimea de eșantionare (adică durata fereastră de achiziție) este limitată de cantitatea de SRAM neutilizată disponibilă pe dispozitivul FPGA; (ii) adâncimea de eșantionare este constrânsă să fie strict o putere a lui doi; (iii) cantitatea disponibilă de SRAM nu poate fi utilizată în totalitate; (iv) cantitatea disponibilă de SRAM nu poate fi combinată cu alte resurse secvențiale disponibile pe dispozitiv, cum ar fi FIFO-uri dedicate, memorie distribuită (din Look-Up Table - LUT) și bistabile/registre; (v) algoritmul de planificare și viteza relativ lentă a interfeței către computerul gazdă cauzează un timp-mort crescut și, în anumite condiții, inutil care se traduce în triggere și semnale de interes pierdute; (vi) este necesară reimplementarea logicii atunci când trebuie monitorizate alte semnale, ceea ce înseamnă timp pierdut proporțional cu complexitatea logicii implementate și (vii) nu există date disponibile despre momentele de producere sau numărul de triggere.

Soluțiile propuse sunt: (i) utilizarea unei interfețe cu viteză mai mare (e.g. 10 Gbps Ethernet) pentru transferul de datelor eșantionate; (ii) utilizarea unui algoritm de planificare configurabil care împarte lățimea de bandă disponibilă cu logica utilizatorului și transmite date în timp ce sunt eșantionate în loc să aștepte umplerea cozilor; (iii) eliminarea constrângerii conform căreia adâncimea cozilor trebuie să fie strict o putere a lui doi; (iv) extinderea adâncimii cozilor prin combinarea resurselor secvențiale disponibile ale dispozitivului FPGA; (v) eliminarea necesității de reimplementare atunci când trebuie monitorizate alte semnale din logica utilizatorului, utilizând caracteristica de reconfigurare parțială; (vi) adăugarea de marcaje de timp și contoare pentru triggere; (vii) păstrarea restului de caracteristici funcționale ale FPGA ILA-urilor curente.

În Figura 21 este ilustrată arhitectura de ansamblu propusă a unui astfel de FPGA ILA care utilizează o interfață Institute of Electrical and Electronics Engineers (IEEE) 802.3 10 Gbps Ethernet pentru interfațarea cu computerul gazdă. Logica utilizatorului (Device Under Verification - DUV și Verification Environment - VE) are n domenii de ceas diferite și pentru fiecare un sistem de sondare FPGA ILA este implementat. Interfața Ethernet este partajată în ambele direcții cu DUV-ul și cu VE-ul. Sunt prezentate trei variante pentru implementarea componentelor Media Access Controller (MAC) și Physical (PHY) din modelul Open Systems Interconnection (OSI): (i) ambele implementate în

interiorul FPGA-ului; (ii) componenta MAC implementată în logica FPGA-ului comunicând cu un IC PHY de pe același PCB și (iii) ambele implementate în afara FPGA-ului ca IC-uri pe același PCB. Semnalul de ceas al sistemului de procesare FPGA ILA este prezentat ca având frecvențele posibile de 156,25 și 312,5 MHz, deoarece acestea sunt frecvențele asociate cu majoritatea interfețelor standard de comunicație între modulele MAC și/sau PHY Ethernet 10 Gbps, e.g. Advanced eXtensible Interface 4 (AXI 4) Stream [56] sau 10 Gigabit Media-Independent Interface (XGMII) [57]. Algoritmul de planificare propus pentru utilizarea interfeței Ethernet de 10 Gbps este Round-Robin cu ponderi (Weighted Round Robin - WRR) implementat pe bază de cuante cu dimensiune configurabilă. Ponderile sunt determinate de raportul ratelor de producere a datelor pentru sistemele de sondare FPGA ILA și cele corespunzătoare logicii utilizatorului. Protocolul dedicat FPGA ILA propune un format al încărcăturii de date utile pentru pachetele Ethernet care permite transmiterea segmentată multiplexată a datelor eșantionate, a datelor de intrare și ieșire pentru/de la VE și DUV, a notificărilor de stare și a comenzilor de configurare.

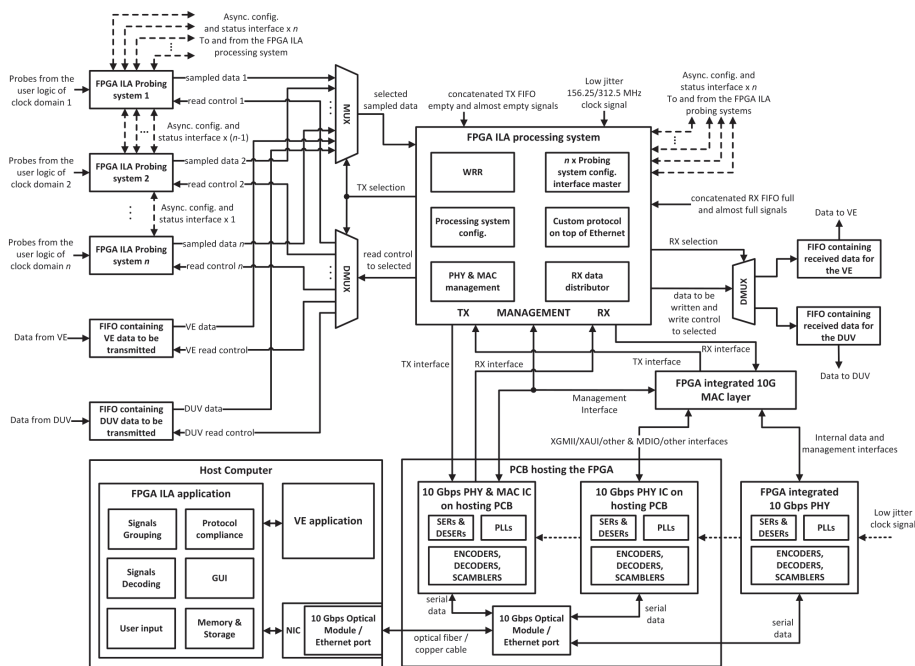


Figura 21: Arhitectura analizorului logic integrat FPGA propus.

Principalul avantaj al propunerii este capabilitatea de a eșantiona ferestre mai mari de semnale decât FPGA ILA-urile curente bazate pe o interfață JTAG - USB. Timpul-mort după un trigger este redus și, în unele condiții, chiar eliminat. Implementarea adaugă flexibilitate utilizând și combinând FIFO-uri încorporate, memorie distribuită, registre și Block BRAM (BRAM) pentru im-

plementarea cozilor. Aceasta implică o utilizare mai eficientă a resurselor disponibile pe FPGA (e.g. adâncimile FIFO-urilor nu sunt constrânse să fie puteri ale lui doi). Propunerea este potrivită atât pentru verificarea hardware-in-the-loop în timp-real cât și pentru atingerea unor intervale operaționale lungi pentru DUV/DUT mult mai rapid decât în simulări. Utilizând reconfigurarea parțială a FPGA-ului, nu este necesară reimplementarea atunci când trebuie selectate alte semnale pentru monitorizare. De asemenea, noul ILA poate transmite datele în timp ce eșantionează în loc să aștepte umplerea cozilor pentru a începe transmisia. În plus, interfața de viteză mai mare poate fi partajată cu logica utilizatorului. Deoarece majoritatea interfețelor sunt full-duplex (e.g. interfața 10 Gbps Ethernet), partea de recepție poate fi utilizată pentru alte comunicații cu computerul gazdă, e.g. pentru a acționa semnale interne ale FPGA-ului aproape în timp-real sau pentru a primi date care să fie procesate de către DUV.

Principalul dezavantaj este necesitatea unui dispozitiv FPGA capabil să cuprindă simultan logica utilizatorului, logica noului ILA și interfața de mare viteză. Sunt necesare resurse suplimentare: surse de semnale de ceas cu jitter redus pentru transferurile cu rată ridicată și IC-uri care implementează sub-nivelurile Data Link (DL) și/sau PHY ale OSI pentru interfața utilizată. Dacă logica FPGA-ului implementează și straturile DL și PHY ale interfeței, dispozitivul necesită transceiver-uri, codificatoare, decodificatoare, scramble și PLL-uri de mare viteză. Un număr relativ mare din pad-urile IO disponibile trebuie dedicate interfeței atunci când se utilizează XGMII în cazul 10 Gbps Ethernet. Alte dezavantaje includ constrângeri mai stricte asupra logicii utilizatorului și consum mai mare de energie cauzat de utilizarea crescută a resurselor și frecvențele de operare mai mari. ILA-ul propus are complexitate crescută și cerințe mai restrictive. Nu în ultimul rând, este necesar un computer gazdă capabil să găzduiască interfața de mare viteză și să gestioneze datele transferate.

FPGA ILA-ul propus ar fi fost un instrument foarte util în timpul testării ROC-ului în radiație nucleară, deoarece îmbunătățește observabilitatea mediului de testare. În consecință rezultatele și analiza din Secțiunea 4 ar fi fost îmbunătățite. Din păcate, Xilinx și alte companii direct interesate de acest subiect își protejează invențiile cu brevete, dar nu sunt obligate să le pună în aplicare și să le furnizeze utilizatorului instrumentelor și/sau dispozitivelor lor. Cu toate acestea FPGA ILA-ul propus a rezultat ca o aplicație/consecință a testării ROC-ului în masă și în flux de neutroni ultrarapizi.

6 Concluzii

Toate subiectele abordate de această teză se referă la experimentul cu uz general și luminositate ridicată ATLAS de la LHC. LHC, operat de CERN, Geneva, Elveția, este cel mai mare și puternic sincrotron din lume. Experimentele de la CERN (inclusiv ATLAS) sunt utilizate pentru cercetare fundamentală în domeniul fizicii particulelor. Pentru a detecta și caracteriza toate produsele rezultate din coliziunile fasciculelor de particule din ATLAS, sisteme avansate de detectori și sisteme TDAQ asociate au fost proiectate și utilizate cu succes,

ceea ce a dus la confirmarea bosonului Higgs în 2012.

Procesul actual de actualizare implementează prima fază a proiectului HL-LHC care implică o creștere cu un ordin de mărime a cantității de date colectate (luminozitate integrată de 3000 fb^{-1} la 14 TeV în 10 ani). Pentru a face față creșterii cantității de radiație nucleară și necesității unei separări și a unei caracterizări mai precise a efectelor coliziunilor care au loc la rate mai mari, sistemul TDAQ ATLAS, instrumentele software asociate și o parte din sistemele de detectori sunt actualizate. Parte a căii de citire pentru noii detectori de muoni ai NSW, ROC-ul este un ASIC tolerant la radiații, din imediata vecinătate a detectorilor care acționează ca filtru, concentrator, tampon (buffer) și procesor de pachete de date în timp-real. *Munca prezentată reprezintă contribuția autorului la proiectarea, verificarea, implementarea, asigurarea și controlul calității (inclusiv testarea în radiație nucleară), suportul pentru integrare, documentarea, descrierea matematică și algoritmică pentru acest circuit integrat.* Această muncă a fost realizată în calitate de asistent de cercetare în proiectul național “Experimentul ATLAS de la LHC” ca membru al echipei de la Universitatea Transilvania din Brașov.

Munca efectuată acoperă: proiectarea, simularea și verificarea circuitelor electronice digitale; programare; structuri de date și algoritmi; comunicații de date; sisteme încorporate; instrumente EDA; sisteme de operare; scripting; statistică; procesare de semnal; procesoare de pachete; rețele integrate în cip; instrumente de măsurare și pregătirea documentelor științifice și tehnice. Lucrarea a implicat depanare extinsă și utilizarea de echipamente în lumea reală. În plus, autorul a participat la cursuri speciale prezentate de prestigioase centre de cercetare științifică⁶ ⁷. Alte subiecte tratate sunt: redundanță modulară, proiectare de schematic de PCB, sinteza circuitelor digitale, constrângerea circuitelor digitale, analiză statică de timp, proiectare pentru testabilitate, verificare a echivalenței logice pentru circuite digitale, simulări la nivel de poartă logică, planificarea așezării ASIC, plasare și rutare ASIC, testare digitală a circuitelor, evaluarea potrivirii statistice, colaborare științifică internațională, gestionarea proiectelor de cercetare și diseminarea rezultatelor științifice.

ROC-ul a fost trimis cu succes spre fabricație în August 2016. Au fost elaborate PCB-uri și medii de testare funcțională bazate pe FPGA. Primul cip ROC a fost alimentat și pornit în mediul de testare digital în Martie 2017. Cipul a fost activ, dar au fost detectate erori în datele de ieșire. De atunci, mediul de testare a fost îmbunătățit masiv. Toate caracteristicile funcționale ale ROC-ului au fost acoperite. Principalele cauze ale erorilor inițiale au fost încălcări ale timpilor de setup și hold în bistabilele deserializatoare din logica cipului și cea implementată pe FPGA, ceea ce a condus la meta-stabilitate. Liniile seriale de mare viteză dintre ASIC și FPGA au necesitat calibrare și astfel problemele inițiale au fost rezolvate.

⁶ “Comprehensive Digital IC Implementation & Sign-Off” desfășurat în Noiembrie 2015 la Microelectronics Support Centre Science and Technology Facilities Council din cadrul Rutherford Appleton Laboratory (RAL), Oxford, Didcot OX11 0QX, Marea Britanie.

⁷ “Verification for Digital Designs”, desfășurat în perioada 4 - 6 Decembrie 2019 la Microelectronics Support Centre Science and Technology Facilities Council din cadrul RAL.

De asemenea, cipul ROC a fost testat și validat de o echipă de la Universitatea din Michigan, parte a Colaborării NSW, utilizând același proiect pentru PCB-urile de testare și același tip de plăci de evaluare FPGA, dar o logică de testare implementată pe dispozitivul FPGA diferită, proprie, bazată pe specificațiile cipului. Logica digitală a ROC-ului a fost validată de ambele părți, dar unele erori de proiectare care nu au impus o reproiectare au fost descoperite. Echipa din Michigan a analizat amănunțit și partea analogică a ROC-ului. În paralel, partea analogică a fost evaluată și la IFIN-HH, Măgurele, România. Astfel a fost descoperită o incertitudine a fazelor de pornire ale semnalelor de ceas de ieșire relativ la semnalul de ceas de referință [47]. Macroblocurile ePLL au fost modificate la IFIN-HH în timp ce partea digitală a rămas aceeași.

Reproiectarea a rezolvat incertitudinea fazelor semnalelor de ceas externe și noul cip a fost numit ROC1A și ROC2 [58]. Fabricarea sa în masă a fost realizată pe un Multi-Project Wafer (MPW) alături de alte ASIC-uri din NSW, așa cum se arată în Figura 22. După confirmarea validității reproiectării, regiunea AF a fost ocupată și de cipul ROC2. Grupul NSW a decis că mediul de testare funcțională digitală prezentat în Secțiunea 3 va fi folosit împreună cu un mediu de testare funcțională a părții analogice dezvoltat la IFIN-HH, pentru controlul calității cipurilor fabricate în masă.

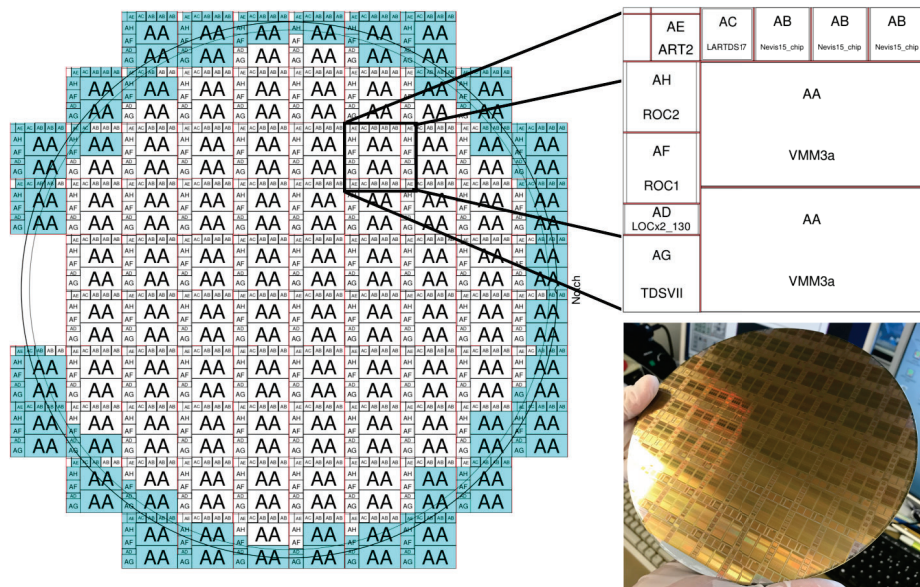


Figura 22: MPW cu ASIC-uri NSW, inclusiv cele două versiuni de ROC [59].

În 2018, ROC-ul a fost testat cu succes în timp ce a fost supus unor fascicule controlate de neutroni ultrarapizi produse de accelerorul TANDEM de la NCSR Demokritos, Atena, Grecia. Cipul a trecut prin acest proces de testare în radiație nucleară, deoarece face parte din electronica din imediata apropiere a detectorilor ATLAS. Funcționarea cipului nu a fost afectată direct de radiația

incidentă din cauza implementării TMR, dar datele din SRAM au fost afectate cu o rată considerabilă. S-au făcut estimări cât mai exacte pentru HL-LHC. Ideea unui FPGA ILA de mare viteză cu o metodă diferită de funcționare decât cea existentă s-a născut din lecțiile învățate în timpul acestor experimente.

La Universitatea Transilvania din Brașov, un total de 2677 de cipuri ROC1A/ROC2 au fost testate folosind cele două medii de testare funcțională replicate în până la trei stații de testare. Cel puțin 4875 de cipuri ROC1A/ROC2 vor funcționa simultan în cadrul sistemului TDAQ NSW. Promovabilitatea inițială a fost considerată nesatisfăcătoare, deoarece majoritatea cipurilor nu treceau testul digital. Procedurile de calibrare pentru liniile de transmisie de mare viteză dintre ASIC și FPGA au fost îmbunătățite. Acest lucru a motivat și dezvoltarea algoritmului de calibrare mai rapid din Secțiunea 3. Randamentele finale ale testării digitale (87,5% la tensiunea nominală și 68% la tensiunea de alimentare sub-nominală) au fost considerate satisfăcătoare [58].

Autorul a raportat periodic progresul muncii și rezultatele testării în ședințele de coordonare NSW. Ca recunoaștere pentru contribuția sa la experiment, autorul a finalizat procedura de calificare ca autor ATLAS ⁸ în Noiembrie 2018.

Circuitul integrat ROC1A/ROC2 a trecut toate recenziile interne NSW și este inclus în sistemul de citire a noilor detectori de muoni așa cum se arată în Figura 23. Rezultate preliminare de integrare încep să fie publicate [46].

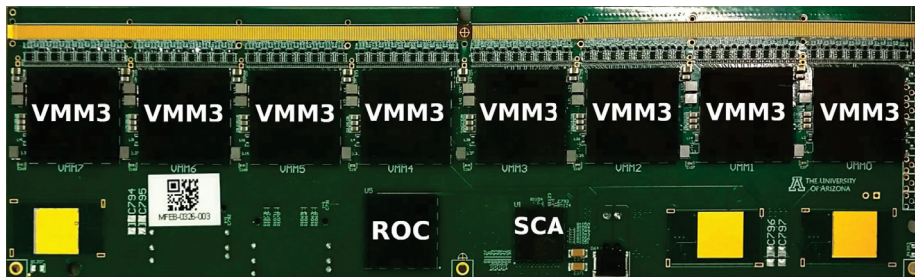


Figura 23: Placă NSW front-end ce conține un cip ROC. Fotografii originale de Anne Fortman, grupul ATLAS al Universității Harvard.

Deoarece apar adesea întrebări cu privire la performanța ROC-ului în scenarii specifice, autorul a propus și a validat un model matematic pentru ratele maxime de date care nu induc pierderi (prezentat în Secțiunea 2).

Publicațiile științifice legate de munca prezentată sunt:

1. **Ș. Popa**, M. Ivanovici, R.-M. Coliban, “Time-multiplexed 10Gbps Ethernet-based Integrated Logic Analyzer for FPGAs”, *International Symposium on Electronics and Telecommunications, ISETC 2020*, Timișoara, 5-6 Noiembrie 2020, <https://doi.org/10.1109/ISETC50328.2020.9301115> [62]

⁸Persoană care a adus în mod oficial contribuții semnificative la experimentul ATLAS [60]. Toate publicațiile generale ATLAS sunt semnate de toți autorii activi ATLAS (e.g. [61]).

-
2. **Ș. Popa**, S. Mărtoiu, M. Ivanovici, “Study of the ATLAS new small wheel read-out controller ASIC in a neutron irradiation environment”, *JOURNAL OF INSTRUMENTATION*, Volumul 15 P10023, Octombrie 2020, <https://doi.org/10.1088/1748-0221/15/10/P10023> [39]
 3. **Ș. Popa**, S. Mărtoiu, M. Ivanovici, “The quality-control test of the digital logic for the ATLAS new small wheel read-out controller ASIC”, *JOURNAL OF INSTRUMENTATION*, Volumul 15 P04023, Aprilie 2020, <https://doi.org/10.1088/1748-0221/15/04/P04023> [63]
 4. **Ș. Popa**, M. Luchian, M. Ivanovici, “Clock and data signals synchronization for an FPGA-based ASIC testing setup”, *14th International Symposium on Signals Circuits and Systems, ISSCS 2019*, Iași, România, Iulie 2019, <https://doi.org/10.1109/ISSCS.2019.8801780> [48]
 5. **Ș. Popa**, S. Mărtoiu, M. Luchian, R.-M. Coliban, M. Ivanovici, “The Quality-Assurance Test of the ATLAS New Small Wheel Read-Out Controller ASIC”, *Topical Workshop on Electronics for Particle Physics, TWEPP 2018*, Anvers, Belgia, 17-21 Septembrie 2018, <https://doi.org/10.22323/1.343.0081> [64]
 6. R.-M. Coliban, **Ș. Popa**, T. Tulbure, D. Nicula, M. Ivanovici, S. Mărtoiu, L. Levinson, J. Vermeulen, “The Read Out Controller for the ATLAS New Small Wheel”, *JOURNAL OF INSTRUMENTATION*, Volumul 11 C02069, Februarie 2016, <https://doi.org/10.1088/1748-0221/11/02/C02069> [26]

Articolele 2, 3 și 6 sunt publicate într-o revistă științifică internațională dedicată instrumentelor pentru detectoare și acceleratoare, indexată în baza de date Web of Science, având un factor de impact de 1,454 în 2021. Articolele 1 și 4 au fost publicate în lucrările conferințelor științifice internaționale organizate în România, conferințe care sunt, de asemenea, indexate în baza de date Web of Science. Articolul 5 face parte din lucrările Topical Workshop on Electronics for Particle Physics (TWEPP) 2018, unde autorul a participat și cu un poster (link⁹: <https://indico.cern.ch/event/697988/contributions/3056039/>).

Articolul 6 prezintă contextul, formatele de date și logica ROC-ului. Articolele 2 și 3 includ astfel de descrieri pentru completitudine. Astfel, cercetarea prezentată în Secțiunea 2 este diseminată prin aceste trei lucrări. Articolul 3 prezintă mediul de testare funcțională digitală pentru ROC, validarea logicii și a performanței sale și rezultatele testării în masă. Articolul 4 descrie metoda îmbunătățită de sincronizare a semnalelor de ceas și date în cadrul acestui mediu de testare. Astfel, cercetarea prezentată în Secțiunea 3 este diseminată prin aceste două lucrări. Testarea ROC-ului în radiație nucleară prezentată în Secțiunea 4 este diseminată prin articolul 2. Cercetările legate de FPGA ILA din Secțiunea 5 se diseminează prin articolul 1.

⁹necesită un cont CERN.

Referințe

- [1] The ATLAS Collaboration et al. The ATLAS experiment at the CERN large hadron collider. *Journal of Instrumentation*, 3(08):S08003–S08003, aug 2008. doi:10.1088/1748-0221/3/08/s08003.
- [2] Lyndon Evans and Philip Bryant. LHC machine. *Journal of Instrumentation*, 3(08):S08001–S08001, aug 2008. doi:10.1088/1748-0221/3/08/s08001.
- [3] ATLAS Collaboration et al. Observation of a new particle in the search for the standard model higgs boson with the atlas detector at the lhc. *Physics Letters B*, 716(1):1–29, 2012. doi:https://doi.org/10.1016/j.physletb.2012.08.020.
- [4] The ALPHA Collaboration et al. Confinement of antihydrogen for 1,000 seconds. *Nature Physics*, 7(7):558–564, Jul 2011. doi:10.1038/nphys2025.
- [5] Stephanie Sammartino McPherson. *Tim Berners-Lee: Inventor of the World Wide Web*. Twenty First Century Books, USA, 1st edition, 2009.
- [6] Sylvie Braibant and Giorgio Giacomelli. *Particles and fundamental interactions: An introduction to particle physics*. Undergraduate lecture notes in physics. Springer, Dordrecht, Netherlands, 2012. doi:10.1007/978-94-007-2464-8.
- [7] David J Griffiths. *Introduction to elementary particles; 2nd rev. version*. Physics textbook. Wiley, New York, NY, 2008. URL: https://cds.cern.ch/record/111880.
- [8] *Particle Accelerators*, chapter 12, pages 363–393. Springer, Boston, MA, USA, 1972. doi:10.1007/978-1-4615-9701-8_12.
- [9] John Douglas Cockcroft and E. T. S. Walton. Experiments with high velocity positive ions. *Proceedings of the Royal Society of London. Series A, Containing Papers of a Mathematical and Physical Character*, 129(811):477–489, 1930. doi:10.1098/rspa.1930.0169.
- [10] Werner Herr and B Muratori. Concept of luminosity. 2006. URL: https://cds.cern.ch/record/941318, doi:10.5170/CERN-2006-002.361.
- [11] Jorg Wenninger. Operation and Configuration of the LHC in Run 2. Mar 2019. URL: https://cds.cern.ch/record/2668326.
- [12] ATLAS Electronics Coordination TDAQ Phase-II Upgrade Project. Atlas trigger & daq interfaces with detector front-end systems: Requirement document for hl-lhc. Atlas doc.: At2-di-es-0002, edms id: 1563801 v.1, CERN, Oct 2018. URL: https://edms.cern.ch/ui/file/1563801/1/RequirementsPhaseII_v1.1.0.pdf.
- [13] CERN. Lhc the guide. Available at https://home.cern/sites/home.web.cern.ch/files/2018-07/CERN-Brochure-2017-002-Eng.pdf. Accessed: 05-01-2021.
- [14] CERN. Lhc season 2. facts & figures. Available at https://home.cern/sites/home.web.cern.ch/files/2018-07/CERN-Brochure-2015-003-Eng.pdf. Accessed: 05-01-2021.
- [15] The ALICE Collaboration et al. The ALICE experiment at the CERN LHC. *Journal of Instrumentation*, 3(08):S08002–S08002, aug 2008. doi:10.1088/1748-0221/3/08/s08002.
- [16] The CMS Collaboration et al. The CMS experiment at the CERN LHC. *Journal of Instrumentation*, 3(08):S08004–S08004, aug 2008. doi:10.1088/1748-0221/3/08/s08004.
- [17] The LHCb Collaboration et al. The LHCb detector at the LHC. *Journal of Instrumentation*, 3(08):S08005–S08005, aug 2008. doi:10.1088/1748-0221/3/08/s08005.
- [18] Joao Pequena. Computer generated image of the whole ATLAS detector. Mar 2008. URL: https://cds.cern.ch/record/1095924.
- [19] Lyndon Evans and Lyn Evans. *The Large Hadron Collider: a marvel of technology; 2nd ed*. Physics (EPFL Press). EPFL Press, Lausanne, 2018. On the cover : Including the discovery of the higgs boson. URL: https://cds.cern.ch/record/2645935.

REFERINTE

- [20] I. Béjar Alonso, O. Brüning, P. Fessia, M. Lamont, L. Rossi, L. Taviani, and M. Zerlauth. Vol. 10 (2020): High-luminosity large hadron collider (hl-lhc): Technical design report. Cern yellow reports: Monographs, CERN, 2020. URL: <https://e-publishing.cern.ch/index.php/CYRM/issue/view/127/95>.
- [21] Peter Vankov and ATLAS Collaboration. ATLAS Future Upgrade. Technical report, CERN, Geneva, Jun 2016. URL: <https://cds.cern.ch/record/2195333>, doi:10.22323/1.273.0061.
- [22] T Kawamoto, S Vlachos, L Pontecorvo, J Dubbert, G Mikenberg, P Iengo, C Dallapiccola, C Amelung, L Levinson, R Richter, and D Lellouch. New Small Wheel Technical Design Report. Technical report, Jun 2013. ATLAS New Small Wheel Technical Design Report. URL: <https://cds.cern.ch/record/1552862>.
- [23] Bernd Stelzer. The new small wheel upgrade project of the atlas experiment. *Nuclear and Particle Physics Proceedings*, 273-275:1160–1165, 2016. 37th International Conference on High Energy Physics (ICHEP). doi:10.1016/j.nuclphysbps.2015.09.182.
- [24] Lorne Levinson. Nsw electronics overview, Oct 2020. Accessed: 5 January 2021. URL: https://espace.cern.ch/ATLAS-NSW-ELX/Shared%20Documents/Overview%20and%20General/LL_NSW_ElxOvr_notitle_v13.png.
- [25] G. De Geronimo, J. Fried, S. Li, J. Metcalfe, N. Nambiar, E. Vernon, and V. Polychronakos. Vmm1 - an asic for micropattern detectors. In *2012 IEEE Nuclear Science Symposium and Medical Imaging Conference Record (NSS/MIC)*, pages 633–639, Oct 2012. doi:10.1109/NSSMIC.2012.6551184.
- [26] R.-M. Coliban, S. Popa, T. Tulbure, D. Nicula, M. Ivanovici, S. Martoiu, L. Levinson, and J. Vermeulen. The read out controller for the ATLAS new small wheel. *Journal of Instrumentation*, 11(02):C02069–C02069, feb 2016. doi:10.1088/1748-0221/11/02/c02069.
- [27] P. Gkoutoumis. Level-1 data driver card of the atlas new small wheel upgrade compatible with the phase ii 1 mhz readout scheme. In *2016 5th International Conference on Modern Circuits and Systems Technologies (MOCASST)*, pages 1–4, May 2016. doi:10.1109/MOCASST.2016.7495115.
- [28] I. P. Mesolongitis, A. Gkoutis, E. D. Kyriakis - Bitzaros, K. Zachariadou, P. Gkoutoumis, and T. Alexopoulos. Testing the level-1 data driver card for the new small wheel of the atlas detector. In *2017 6th International Conference on Modern Circuits and Systems Technologies (MOCASST)*, pages 1–4, May 2017. doi:10.1109/MOCASST.2017.7937667.
- [29] P. Moreira, A. Marchioro, and Kloukinas. The GBT: A proposed architecture for multi-Gb/s data transmission in high energy physics. 2007. URL: <https://cds.cern.ch/record/1091474>, doi:10.5170/CERN-2007-007.332.
- [30] P. Leitao, S. Feger, D. Porret, S. Baron, K. Wyllie, M. Barros Marin, D. Figueiredo, R. Francisco, J. C. Da Silva, T. Grassi, and P. Moreira. Test bench development for the radiation hard GBTX ASIC. *Journal of Instrumentation*, 10(01):C01038–C01038, jan 2015. doi:10.1088/1748-0221/10/01/c01038.
- [31] J. Anderson, A. Borga, H. Boterenbrood, H. Chen, K. Chen, G. Drake, D. Francis, B. Gorini, F. Lanni, G. Lehmann Miotto, L. Levinson, J. Narevicius, C. Plessl, A. Roich, S. Ryu, F. Schreuder, J. Schumacher, W. Vandelli, J. Vermeulen, and J. Zhang. FELIX: a high-throughput network approach for interfacing to front end electronics for ATLAS upgrades. *Journal of Physics: Conference Series*, 664(8):082050, dec 2015. doi:10.1088/1742-6596/664/8/082050.
- [32] Address in real-time concentrator asic. Available at https://espace.cern.ch/ATLAS-NSW-ELX/Shared%20Documents/ADDC/ART%20ASIC/artasic_specs1.2_020316.pdf. Accessed: 02-04-2021.
- [33] L. Yao, H. Chen, K. Chen, S. Tang, and V. Polychronakos. Design and Testing of the Address in Real-Time Data Driver Card for the Micromegas Detector of the ATLAS New Small Wheel Upgrade. *IEEE Trans. Nucl. Sci.*, 67(9):2155–2160, 2020. arXiv:1806.06912, doi:10.1109/TNS.2020.2986418.

-
- [34] L. Yao, V. Polychronakos, H. Chen, K. Chen, H. Xu, S. Martoiu, N. Felt, and T. Lazovich. The address in real time data driver card for the MicroMegas detector of the ATLAS muon upgrade. *Journal of Instrumentation*, 12(01):C01047–C01047, jan 2017. doi:10.1088/1748-0221/12/01/c01047.
- [35] Jinhong Wang, Liang Guan, J. W. Chapman, Bing Zhou, and Junjie Zhu. Design of a trigger data serializer asic for the upgrade of the atlas forward muon spectrometer. *IEEE Transactions on Nuclear Science*, 64(12):2958–2965, Dec 2017. doi:10.1109/TNS.2017.2771266.
- [36] A. X. Widmer and P. A. Franaszek. A dc-balanced, partitioned-block, 8b/10b transmission code. *IBM Journal of Research and Development*, 27(5):440–451, Sep. 1983. doi:10.1147/rd.275.0440.
- [37] Solid State Technology Association. Scalable low-voltage signaling for 400 mv (slvs-400). Standard jesd8-13, JEDEC, Oct 2001. URL: <http://www.jedec.org/sites/default/files/docs/jesd8-13.pdf>.
- [38] S Bonacini, K Kloukinas, and P Moreira. E-link: A Radiation-Hard Low-Power Electrical Link for Chip-to-Chip Communication. 2009. URL: <https://cds.cern.ch/record/1235849>, doi:10.5170/CERN-2009-006.422.
- [39] S. Popa, S. Märtou, and M. Ivanovici. Study of the ATLAS new small wheel read-out controller ASIC in a neutron irradiation environment. *Journal of Instrumentation*, 15(10):P10023–P10023, oct 2020. doi:10.1088/1748-0221/15/10/p10023.
- [40] K Poltorak, F Tavernier, and P Moreira. A radiation-hard PLL for frequency multiplication with programmable input clock and phase-selectable output signals in 130 nm CMOS. *Journal of Instrumentation*, 7(12):C12014–C12014, dec 2012. doi:10.1088/1748-0221/7/12/c12014.
- [41] M.E. Levitt. Asic testing upgraded. *IEEE Spectrum*, 29(5):26–29, May 1992. doi:10.1109/6.135405.
- [42] Xilinx. Kcu105 board, ug917 (v1.10). Available at https://www.xilinx.com/support/documentation/boards_and_kits/kcu105/ug917-kcu105-eval-bd.pdf, February 2019. Accessed: 19-04-2021.
- [43] Xilinx. Microblaze processor reference guide. ug984 (v2020.2). Available at https://www.xilinx.com/support/documentation/sw_manuals/xilinx2020_2/ug984-vivado-microblaze-ref.pdf, November 2020. Accessed: 19-02-2021.
- [44] Xilinx. Integrated Logic Analyzer v6.2, PG172. Available at https://www.xilinx.com/support/documentation/ip_documentation/ila/v6_2/pg172-ila.pdf, 2016. Accessed 14-05-2020.
- [45] R. Ginosar. Metastability and synchronizers: A tutorial. *IEEE Design Test of Computers*, 28(5):23–35, Sep. 2011. doi:10.1109/MDT.2011.113.
- [46] Theodoros Vafeiadis. Integration and commissioning of ATLAS New Small Wheel MicroMegas detectors with electronics at CERN. In *Proceedings of 40th International Conference on High Energy physics — PoS(ICHEP2020)*, volume 390, page 791, 2 2021. doi:10.22323/1.390.0791.
- [47] ATLAS Resources Review Board. Atlas upgrade status report 2018 - 2019. Technical report, October 2018. Accessed: 29 October 2019. URL: <https://cds.cern.ch/record/2638085/files/CERN-RRB-2018-079.pdf>.
- [48] S. Popa, M. Luchian, and M. Ivanovici. Clock and data signals synchronization for an fpga-based asic testing setup. In *2019 International Symposium on Signals, Circuits and Systems (ISSCS)*, pages 1–4, July 2019. doi:10.1109/ISSCS.2019.8801780.
- [49] Omid Zeynali, Daryoush Masti, Maryam Nezafat, and Alireza Mallahzadeh. Study of “radiation effects of nuclear high energy particles” on electronic circuits and methods to reduce its destructive effects. *Journal of Modern Physics*, 2(12):1567–1573, 2011. doi:10.4236/jmp.2011.212191.

REFERINTE

- [50] R. Bailey, editor. *CAS - CERN Accelerator School: Power Converters - Radiation Risks and Mitigation in Electronic Systems*, Geneva, May 2014. CERN, CERN. URL: <https://cds.cern.ch/record/2038628/files/245-263-Todd.pdf>, doi:10.5170/CERN-2015-003.
- [51] L. Artola, M. Gaillardin, G. Hubert, M. Raine, and P. Paillet. Modeling single event transients in advanced devices and ics. *IEEE Transactions on Nuclear Science*, 62(4):1528–1539, Aug 2015. doi:10.1109/TNS.2015.2432271.
- [52] Tejinder Singh, Farzaneh Pashaie, and Rajat Kumar. Redundancy based design and analysis of alu circuit using cmos 180nm process technology for fault tolerant computing architectures. *International Journal of Computing and Digital Systems*, 4:53–62, 01 2015. doi:10.12785/ijcds/040106.
- [53] T. Alexopoulos, G. Fanourakis, T. Geralis, M. Kokkoris, A. Kourkoumeli-Charalampidi, K. Papageorgiou, and G. Tsiopolitis. Study of the VMM1 read-out chip in a neutron irradiation environment. *Journal of Instrumentation*, 11(05):P05015–P05015, may 2016. doi:10.1088/1748-0221/11/05/p05015.
- [54] European Space Agency. Single event effects test method and guidelines., Oct 2014. ES&C Basic Specification No. 25100, Accessed: 15 June 2020. URL: <https://escies.org/download/webDocumentFile?id=62690>.
- [55] Altera. Design debugging using the signaltap ii logic analyzer. Available at https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/qts/qts_qii53009.pdf, 2013. Accessed: 19-04-2021.
- [56] ARM. Amba 4 axi4-stream protocol, version: 1.0, specification. Available at <https://developer.arm.com/documentation/ih0051/a/Introduction/About-the-AXI4-Stream-protocol>, 2010. Accessed: 19-04-2021.
- [57] Ieee standard for ethernet. *IEEE Std 802.3-2018 (Revision of IEEE Std 802.3-2015)*, pages 1–5600, Aug 2018. doi:10.1109/IEEESTD.2018.8457469.
- [58] Philippe Farthouat. New small wheels roc production readiness review. Technical report, May 2018. Accessed: 19 May 2018. URL: https://edms.cern.ch/ui/file/1977683/1/ROC-PRR_docx_cpdf.pdf.
- [59] Georgios Iakovidis. VMM3a, an ASIC for tracking detectors. May 2019. URL: <http://cds.cern.ch/record/2675779/files/ATL-MUON-SLIDE-2019-205.pdf?version=1>.
- [60] Atlas authorship policy. version 7.4. Available at https://twiki.cern.ch/twiki/pub/AtlasProtected/AtlasPolicyDocuments/Authorship_Policy.pdf. Accessed: 26-05-2021.
- [61] ATLAS Collaboration. Search for flavour-changing neutral currents in processes with one top quark and a photon using 81 fb(-1) of pp collisions at root s=13 TeV with the ATLAS experiment. *PHYSICS LETTERS B*, 800, JAN 10 2020.
- [62] S. Popa, M. Ivanovici, and R. M. Coliban. Time-multiplexed 10gbps ethernet-based integrated logic analyzer for fpgas. In *2020 International Symposium on Electronics and Telecommunications (ISETC)*, pages 1–4, Nov 2020. doi:10.1109/ISETC50328.2020.9301115.
- [63] S. Popa, S. Mărtoiu, and M. Ivanovici. The quality-control test of the digital logic for the ATLAS new small wheel read-out controller ASIC. *Journal of Instrumentation*, 15(04):P04023–P04023, apr 2020. doi:10.1088/1748-0221/15/04/p04023.
- [64] Stefan Popa, Sorin Martoiu, Mihai Luchian, Radu Coliban, and Mihai Ivanovici. The Quality-Assurance Test of the ATLAS New Small Wheel Read-Out Controller ASIC. In *Proceedings of Topical Workshop on Electronics for Particle Physics — PoS(TWEPP2018)*, volume 343, page 081, 2019. doi:10.22323/1.343.0081.